

4.6.3 Digitaler Signalprozessor für systolische Interferenz-Faltung in Echtzeit (FAST)¹

(Projektlaufzeit: 01.05.1996 - 31.03.1997)

Gerd K. Heinz, Mark Zöllner, Carsten Busch

Zielstellung

Im Projekt entstand ein systolisch arbeitender Hardwarebeschleuniger für die an der GFaI entwickelte Interferenztransformation (HIT) als PC-AT-Einschub. Mit dem Prozessor wird eine Beschleunigung der Interferenztransformation um etwa einen Faktor 2000 gegenüber einem Intel-Pentium angestrebt. Damit wird es möglich, interferenzielle Erregungskarten innerhalb von Sekunden statt von Stunden zu berechnen.

Herkömmliche Verfahren zur Erregungskartierung z.B. im Bereich der Akustik nutzen z.B. die Möglichkeit einer Signalzerlegung in spektrale Darstellungen (Spatial Transformation of Sound Fields [13], Time Domain Holography) oder in Wavelets zur Berechnung von Faltungen oder für Operationen mit Zeitfunktionen. Dieser Weg ist dort problematisch, wo nichtstationäre Systeme zu analysieren sind. Auch verwischt der Zeitbezug für den Fall, daß diskretisierte, orthogonale Transformationen (z.B. FFT, DWT) zu wählen sind. Oft führen Zeitkonstantenprobleme zu eingeschränkten Ergebnissen. Zeitvorgänge können i.a. schlecht oder überhaupt nicht aufgelöst werden. Diskretisierungsfehler im Ansatz führen zu erheblichen Problemen in der Möglichkeit, Interferenzsysteme zu berechnen.

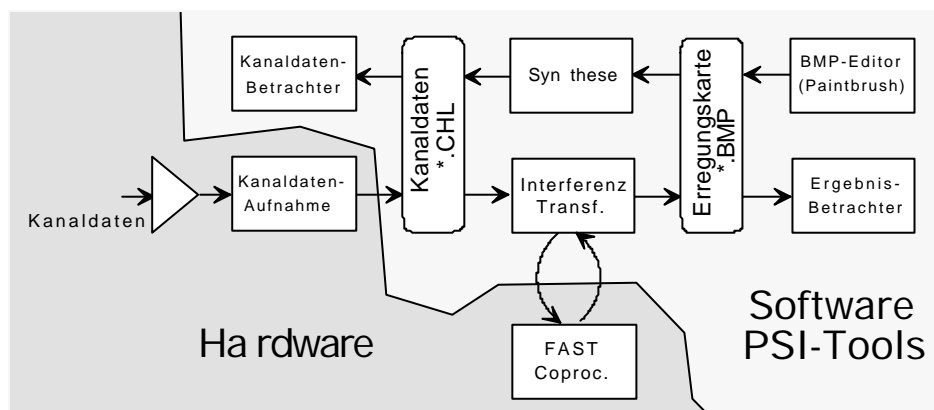


Bild 1: Einordnung des FAST-Coprozessors für schnelle Interferenztransformation

Gewachsene Prozessorleistungen rechtfertigen, die Fehlermöglichkeiten und Probleme orthogonaler Transformationen dadurch zu umgehen, daß der Umweg über spektrale Signaldarstellungen gemieden wird und Rechnungen sofort im Zeitbereich vorgenommen werden. Sie erscheinen zunächst rechenzeitintensiver. Unter Maßgabe unpräziser, numerischer Transformationen in den Bildraum und zurück relativiert sich der Vorteil schneller Rechenbarkeit der FFT aber sehr schnell.

Mit der in der Arbeitsgruppe entwickelten Interferenztransformation (HIT) [12] steht erstmals ein Hilfsmittel zur Verfügung, Erregungskartierungen aus Kanaldaten extrem nichtstationärer Quellen (Nervennetz; pulsierende, akustische Systeme) im Zeitbereich selbst zu analysieren (siehe auch Jahresbericht 1996, Abschnitt 4.6.2, Projekt PSI). Bei Anwendung einer im Zeitbereich arbeitenden HIT erhalten wir bei stark nichtstationären Vorgängen einen zusätzlichen Bonus hoher Bildqualitäten bei schon geringsten Kanalzahlen.

¹ Mit Förderung durch das Bundesministerium für Wirtschaft (Förderkennzeichen 569/96)

Dieser Vorteil wird durch relativ hohe Rechenzeiten erkauft. So dauert die Berechnung eines einzigen Interferenzintegrals mit 130 x 50 Pixeln und 16 Kanälen, 60 kSamples pro Kanal mit PSI-Tools derzeit etwa 10 Stunden.

Gegenstand des Projekts FAST ist es, die Ausführung der Interferenztransformation dadurch zu beschleunigen, daß ein spezifischer Coprozessor als PC-Slot entwickelt wird. Entsprechende Verhaltenssimulationen [2] mit Speedchart und VHDL sowie Experimente mit Parallelrechnern [6], [8] zeigen Möglichkeiten dafür auf. Insbesondere wenn es gelingt, die Abarbeitungspipeline so zu gestalten, daß mit jedem Maschinentakt ein vollständiger Elementarfaltungsschritt vollzogen wird, lassen sich enorme Geschwindigkeitssteigerungen erzielen. Eigene Schätzungen gehen von - je nach in die Zusatzhardware investierten Kosten - bis zu 6000-fach höherer Rechenleistung gegenüber Intel's Pentium aus.

Lösung

Im Kern besteht die HIT aus einer Transformation *Generatorraum_zu_Kanaldaten* und einer inversen Rücktransformation *Kanaldaten_zu_Detektorraum*. Der im Projekt FAST entwickelte Coprozessor dient nur der Rücktransformation. Ziel ist die Berechnung von Erregungskartierungen aus Kanaldaten der realen Welt.

Für die Rücktransformation der Zeitfunktion y eines Pixel aus Kanaldaten ist im Prinzip folgender Term zu berechnen, wobei z ein Kanalsample darstellt. Index k kennzeichnet die Pixelzuordnung, Index j stellt die Kanalnummer dar und m ist die Kanalzahl.

$$(1) \quad y_k(t) = \frac{1}{m} \sum_{j=1}^m z_j(t - \tau_j - \tau_{jk})$$

$y_k(t)$ stellt die (approximierte) Zeitfunktion des betrachteten Ortes dar. Die zu einem Punkt k gehörende Verzögerungsmaske ist mit allen m Werten gespeichert. Für die Ergebnisdarstellung als Helligkeits- oder Farbwert interessiert der Effektivwert h_k der Zeitfunktion $y_k(t)$:

$$(2) \quad h_k = \frac{1}{n} \sum_{i=1}^n \theta(|y_k(t)|)$$

Die Funktion θ ist als 16 bit zu 16 bit look up table (LUT, 64k Worte SRAM) ausgeführt, um variable Schwellwertfunktionen implementieren zu können. Beide Operationen, Glg. (1) und (2), werden vom FAST-Coprozessor berechnet. Er besitzt folgende Parameter:

Typ	Format	Bemerkung
LUT	64k x 16 bit	Fuzzy-Zuordner INT{2} -> INT{2}
Channel Data	8M x 16 bit	8 Chls a 1M bis 256 Chls a 32k Samples
Mask RAM	256 x 16 bit, gespiegelt	Maximalmaske enthält 256 Kanaldelays
Pixel Register	22 bit	Ergebnis einer Kanalintegration

Eine Übersichtsschaltung ist in Bild 2 dargestellt. Schwerpunkt der Entwicklung stellen lange Kanalintegrationen dar. Entsprechend wurde das Design so optimiert, daß jeweils ein Maskensatz (max. 256 Masken) über einen großen Kanalspeicher verfügt. Der Kanalspeicher ist variabel teilbar in die Portionen von 1M Samples x 8 Kanäle bis 32 k x 256 Kanäle. In dieser prototypischen Version wird nur ein Adder für die Masken benutzt, eine Adder-Pipeline kann nachgerüstet werden. Mit jedem Takt ist deshalb nur eine Kanaladdition ausführbar. Der Integrator arbeitet separat im Pipelining, kostet also keine zusätzlich Zeit. Bei einer bislang erreichten Taktfrequenz f_c von 25 MHz arbeitet der Prozessor im Moment etwa mit einer Maskenrate von $f_c/4m$, mit m als Kanalzahl. Gewisse Zeitverzögerungen entstehen durch das gelegentliche Nachladen eines neuen Maskensatzes und der Entsorgung des Ergebnisses für den berechneten Pixel.

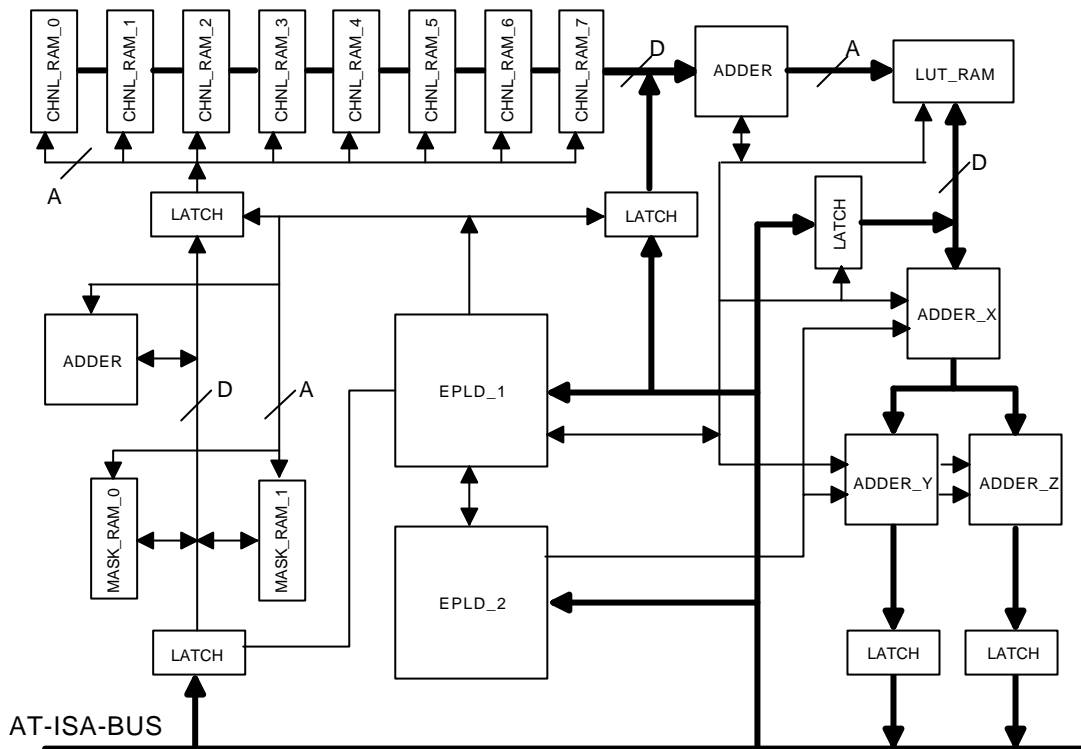


Bild 2: Blockschaltung des im Projekt realisierten Coprozessors

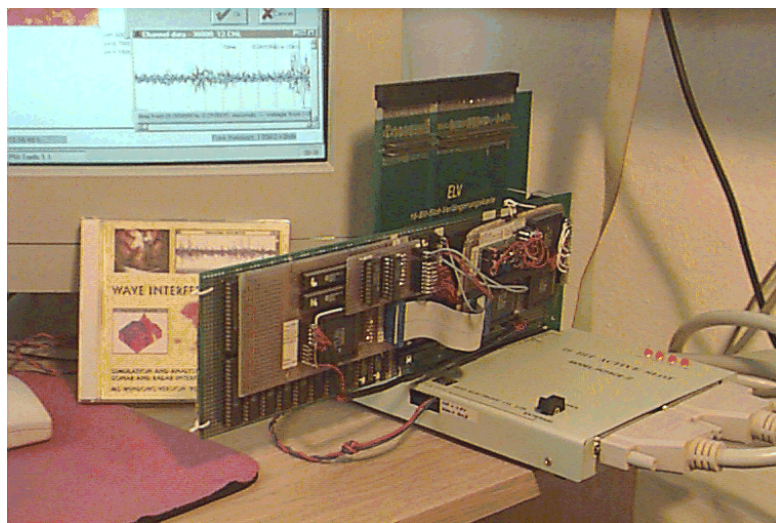


Bild 3: Blick auf den Versuchsaufbau als AT-Bus-Einschub. Der Prototyp erreicht bislang eine Beschleunigung etwa von 150 gegenüber einem Pentium mit einer 25 MHz Taktrate

Entsprechend benötigt oben benanntes Interferenzintegral auf dem Coprozessor etwa 16 Minuten statt 10 Stunden auf einem Pentium. Das Design läßt eine weitere Geschwindigkeitssteigerung um etwa einen Faktor 64 zu durch eine geringfügige Modifikation der Pipeline sowie durch Bestückung mit 15 Maskenaddierern, so daß bei Entwicklungsabschluß wenig mehr als 15 Sekunden Rechenzeit erreichbar sein werden.

Zusammenfassung

Im Projekt wurde ein Hardwarebeschleuniger für die Heinsche Interferenztransformation entwickelt. Damit wird eine Reduktion der hohen Rechenzeiten für Interferenzbilder möglich. Das Verfahren stellt eine Schlüsselentwicklung zum Einstieg in eine neue Technologie der Interferenztransformation von Laufzeiträumen in Echtzeit dar. Um eine einfache Einführung in vielfältige Anwendungen zu stimulieren, wurde auf die Entwicklung des Faltungsprozors als Einschubkarte für IBM-PC's orientiert.

Es gelang, eine prototypische Lösung zu schaffen, mit der die Berechnung von Interferenzbildern aus Kanaldaten gegenwärtig bereits um den Faktor 150 verglichen zum Pentium gesteigert werden kann. Layoutoptimierungen und zusätzliche Bestückung der Adderpipeline für die Maskensummutation kann um bis zu 6000-fachen Rechenzeitgewinn erbringen. Die Entwicklung wird erst im Jahr 1997 abgeschlossen, so daß von potentiellen Anwendern noch Geduld verlangt werden muß.

Quellenangabe

- [1] Zöllner, M., Busch, C., Heinz, G.: AT-Bus Coprozessor für Schnelle Interferenztransformation. Technische Dokumentation. GFaI Berlin, 1997, 60 S.
- [2] Rädisch, Jörg: Studie zu einem systolischen Faltungprozessor für schnelle Interferenzfaltung. TFH Berlin/GFaI Berlin, 6.3.1995, 70 S.
- [3] Döbler, Dirk: Entwicklung einer Applikation und eines VxD-Treibers zur Ansteuerung einer Meßwerterfassungskarte unter Windows'95. FHS Stralsund/GFaI Berlin, 10/96-3/97, 90 S.
- [4] Dehm, Christoph: Entwicklung einer PC-Erweiterungskarte zur Ansteuerung von 256 AD-Wandlern. FHTW/GFaI Berlin, 3-7/96, 70 S.
- [5] Nguyen, Tan Than: Entwicklung eines Formatkonverters für PC-Meßverstärker mit CVI. 20.8.-30.9.1996. BEFAK/IHK/GFaI, 30 S.
- [6] Catalin, Radoj: Implementierung von Library-Funktionen zur parallelen Programmierung in Workstation-Clustern. Praktikum 6.3.95-14.7.95, FHTW/GFaI Berlin, Betreuung: V. Jossifov
- [7] Schulze, Peter: Entwicklung eines Programms zur Visualisierung und Manipulation elektrisch oder akustisch aufgenommener Kanaldaten. Praktikumsarbeit für die Prüfung zum mathematisch-technischen Informatiker, IHK/GFaI Berlin, 30.10.1995, 30 S.
- [8] Kieselberger, Sven: Entwicklung eines Faltungsmoduls für parallele Interferenzfaltung auf Parsytec PowerXplorer. Praktikumsbericht, HUB/GFaI Berlin, 30.9.1995, 65 S.
- [9] Werner, Olaf: Untersuchung der Echtzeitfähigkeiten des Signalprozessors TMS320C26 für Filter-, Interpolations-, Differentiations- und Integrationsanwendungen. Praktikumsarbeit TFH Berlin/GFaI, Mai 1995, 26 S.
- [10] Fischmann, Vadim: Programm für die dreidimensionale Darstellung zweidimensional vorliegender Amplitudenverteilungen. Praktikumsarbeit BEFAK/GFaI, Mai 1995, 37 S.
- [11] Fritsch, Michael: Untersuchung und Entwicklung eines rauscharmen und programmierbaren Meßverstärkers für neurographische Aufnahmen. Diplomarbeit, FHTW Berlin FB3/GFaI, 27.9.1994., 62 S.
- [12] Heinz, G., Höfs, S., Busch, C., Zöllner, M.: Time Pattern, Data Addressing, Coding, Projections and Topographic Maps between Multiple Connected Neural Fields - a Physical Approach to Neural Superimposition and Interference. Proceedings BioNet'96, GFaI-Berlin, 1997, pp. 45-57, ISBN 3-00-001107-2
- [13] Hald, J.: Use of Spatial Transformation of Sound Fields (STSF) Techniques in the Automotive Industry. Brüel & Kjaer, Technical Review No. 1-1995, p. 1-23