

ANWENDUNG DER ASIC-SYSTEME DES ZENTRUMS FÜR MIKROELEKTRONIK DRESDEN FÜR NACHRICHTENSPEZIFISCHE SCHALTKREISE

Dipl.-Ing. Michael Hentschel, FZ Mikroelektronik, Dresden
Dr. rer. nat. Volker Tüngler, Zentrum für Technik, Berlin

1 Darstellung des erreichten Standes

Anfang der achtziger Jahre wurde im Forschungszentrum Mikroelektronik Dresden mit der Entwicklung eines Standardzellensystems auf der Basis einer $4\ \mu\text{m}$ p-Wannen-CMOS-Technologie begonnen. Dieses System war ursprünglich vorrangig für die Entwurfsrationalisierung im eigenen Hause vorgesehen. Beispielsweise wurden die digitalen Funktionsgruppen des CODEC U 1011 auf dieser Basis konstruiert. Es stand noch kein automatisches Entwurfssystem zur Verfügung. Die Layouts wurden nach dem bekannten Straßenprinzip am interaktiven Grafikterminal im vorgegebenen Raster digitalisiert.

Im gleichen Zeitraum trieb die Nachrichtentechnik der DDR die Digitalisierung stärker voran, so daß sich sehr günstige Bedingungen für eine Zusammenarbeit ergaben. Parallel zum Entwurf des Standardzellenkataloges wurden die Schaltungen für eine Familie von PCM-30-Bausteinen (Time Gate Controller, PCM-Sender, PCM-Empfänger) entwickelt und als erste Muster realisiert (siehe Tabelle 1).

Im Zeitraum 1984/85 wurde auf der Basis der gleichen Technologie in Dresden, ebenfalls unter Beteiligung der Nachrichtentechnik, das Gate-Array-System U 5200 entwickelt. Im Gegensatz zum Standardzellenentwurf stand hier erstmals ein geschlossenes, hoch-effektives Entwurfssystem für Semikundenbauelemente zur Verfügung. Durch die Nachrichtentechnik wurden die Programme zur Platzierung, Trassierung und Kanalverdrahtung erarbeitet sowie der Prototyp zum Nachweis der Leistungsfähigkeit des Systems entwickelt. Auf Grund des restriktiven Konzeptes des U-5200-Systems, wie von einem Takt abhängige streng synchrone Arbeitsweise, wurde kein Bauelement der PCM-Technik realisiert, sondern ein Impulsgeber IS für Fernsehkameras (U 5201 PC 108).

Ab Ende des Jahres 1988 standen den Anwendern ein Gate-Array- und ein Standardzellensystem U 5300 bzw. U 1600 in einer $1,5\ \mu\text{m}$ n-Wannen-CMOS-Technologie zur Verfügung. Auf Grund zahlreicher Profilierungsprobleme in der DDR-Nachrichtentechnik wurden keine nachrichtenspezifischen Prototypen auf der Basis dieser Systeme entwickelt. Der Beitrag des Zentrums für Technik in Berlin bestand in der Fortführung der Arbeiten zu den Platzierungs-, Trassierungs- und Kanalverdrahtungsprogrammen für das Gate-Array-System U 5300 und im applikativen Test aller vier ASIC-Systeme des FZ Mikroelektronik Dresden an Schaltkreisvorhaben der Nachrichtentechnik, die teilweise bis zum Layout und zur Bestätigungssimulation geführt, aber nicht als Muster realisiert wurden. Die Versuche trugen jedoch wesentlich zur Verbesserung der Nutzerfreundlichkeit gerade der Standardzellensysteme U 1500 und U 1600 bei.

Typ	Funktion	ASIC-System	Jahr
U 1021	Zeitlagenschaltkreis für Analogteilnehmerkarte in kleiner digitaler Ortszentrale	U 1500 (Handlayout)	1984
U 1500 PC 050	Anschlußsteuerung für Analogteilnehmerkarte in digitalen Vermittlungszentralen	U 1500 (Handlayout)	1986
U 1500 PC 001	Primärmultiplexer-PCM-Sender	U 1500 (Handlayout)	1987
U 1500 PC 002	Primärmultiplexer-PCM-Empfänger	U 1500 (Handlayout)	1987
U 1500 DC 009	Adreßdekoder (PCM-30-Fehlerortung/Schleifenschaltung)	U 1500 (Handlayout)	1988
U 1500 FC 008	Leitungsendeinrichtung (Pufferspeicher, Fehlerüberwachung, HDB3 Koder/Dekoder)	U 1500 (Handlayout)	1988
U 1500 PC 054	PLL-Schaltkreis für UKW-Funktechnik	U 1500 (Handlayout)	1989
U 1520 FC 201	Anschlußsteuerung für Analogteilnehmerkarte in digitalen Vermittlungszentralen	U 1500 Entwurfssystem	1989
U 5201 PC 108	Impulsgeber für Miniaturfernsehkamera MFA 1040	U 5200 ARCHIMEDES	1985/ 1987
U 5201 PC 201	IS für Sicherungstechnik	U 5200 ARCHIMEDES	1987
U 5201 PC 202	Primärmultiplexer-Kanal-IS	U 5200 ARCHIMEDES	1988
U 5201 PC 123	Vorfeldeinrichtung für kleine digitale Ortszentrale	U 5200 ARCHIMEDES	1987

Tabelle 1 Übersicht ausgewählter im Zentrum für Technik Berlin konstruierter Schaltkreise

Die Leistungsfähigkeit des FZ Mikroelektronik in Dresden auf dem ASIC-Sektor, die trotz der Dominanz der Speicherentwicklung erreicht wurde, wird in /1/ charakterisiert. Die für die Nachrichtentechnik unter Nutzung der Dresdener Systeme entwickelten Bauelemente sind in der Tabelle 1 zusammengefaßt.

2 Darstellung der Entwurfssysteme

2.1 Handlayout mit U-1500-Standardzellen

Aus der Tabelle 1 ist zu entnehmen, daß der überwiegende Teil der Bauelemente als U-1500-Handlayout entstand. Dieses Verfahren wird heute nicht mehr verwendet, soll aber kurz erwähnt werden, da sehr kompakte und dynamisch optimierte Layouts entstanden.

Charakteristisch ist der Einsatz einer Vielzahl in der DDR entwickelter Entwurfskomponenten, die so eingesetzt wurden, daß eine möglichst vollständige Verifikation der Entwürfe erreicht werden konnte.

Ausgangspunkt eines Entwurfes ist der Logikplan. Es schließen sich folgende Schritte an, wobei die Entwurfstools in Klammern angegeben sind:

- Editieren der Netzliste (NBS 84) und der Simulationsfolgen (PATSY)
- Logiksimulation (KOSIM)
- Editieren des Layouts auf der Basis des bestätigten Logikplanes an interaktiver Grafik (INGE)
- Verwendung des Paketes LSI-Simulator für Entwurfsregelprüfung, Transistorplanrückerkennung, Syntaxprüfung, Simulation der quasistatischen Schaltfunktion des rückerkannten Transistorplanes, Nachweis der Patternüberdeckung für die Testfolgen, Protokoll der Knoten mit großer Lastkapazität als Entscheidungshilfe für eine Untersuchung auf dynamische Fehlfunktionen mit der Netzwerkanalyse (NIFAN, ANNET)
- Übergabe des Datenträgers an das FZ Mikroelektronik mit dem Inhalt Simulationsprotokoll (KOSIM), Layout (GS) und Testermeßprogramm.

Das wesentliche Problem, die fehlende Durchgängigkeit des Verfahrens, wurde durch das gewählte Verfahren der Layoutverifikation ausgeglichen, so daß fehlerfreie Entwürfe entstanden.

Mit diesem Verfahren war nur eine geringe Entwurfseffektivität von 20 bis 50 Transistoren pro Tag und Entwerfer möglich.

2.2 Standardzellenentwurfssysteme

Die Standardzellenentwurfssysteme U 1500 (4 μm -CMOS) und U 1600 - ENSIC (1,5 μm CMOS) sind ähnlich aufgebaut. Als Ausgangsdaten für den Entwurf sind zu erfassen:

- vollständige Schaltkreisbeschreibung auf Logik-Niveau in der Netzbeschreibungssprache NBS 84
- Testfolgen für den vollständigen Funktionaltest des Schaltkreises (als Unterstützung wird dabei im ZFT das Programm PATSY genutzt)
- Zuordnung der Schaltkreispins zu den Bondinseln des fest vorgegebenen Chiprandes
- speziell für das U-1600-System: Belegungsdaten für die verwendeten ROM, RAM und PLA.

Den Handbüchern /3/, /4/ sind die Anweisungen zum Umgang mit den Entwurfssystemen zu entnehmen.

Im Zentrum für Technik in Berlin werden gegenwärtig zur Schalt-

planeingabe Schematiceditoren eines VLSI-Entwurfssystems (DIES) als auch eines PC-Systems (TURBO ASIC) mit NBS 84 Extraktion genutzt.

Die wesentlichen technischen Daten der Entwurfssysteme U 1500, U 1600 sind in den Tabellen 2 und 3 zusammengefaßt.

Technologie	4 μ m-CMOS
Speisespannung	5 V +/- 5 %
typ. Gatterverzögerungszeit	5 ns
Transistorzahl/Gatter-äquivalent	max. ca. 10 000/2500
Betriebstemperaturbereich	0 ... 70 oC
Ein-/Ausgangspegel	TTL-kompatibel
max. Verlustleistung	0,5 W
Standardzellenbibliothek	17 Logikgatter, 9 Flip-Flop-Varianten, verschiedene Ein- und Ausgangsstufen, Sonderstrukturen
Chipabmessungen	3,2 mm x 4,1 mm bis 7,5 mm x 7,5 mm
Pins	16 ... 68
davon Systempins	max. 11
Userpins	max. 57
Gehäuse	bis QFP 68 bis DIP 40

Tabelle 2 Technische Daten des U-1500-Systems

Technologie	1,5 μ m-CMOS
Speisespannung	5 V +/- 5 %
Betriebsfrequenz	25 ... 50 (80) MHz
typ. Gatterverzögerungszeit	1,6 ns
Transistorzahl/ Gatteräquivalent	bis ca. 100 000/15 000 (mit Speicher auch höher)
Betriebstemperaturbereich	0 ... 70 oC
Ein-/Ausgangspegel	TTL-kompatibel, Eingänge auch CMOS-kompatibel
max. Verlustleistung	1,2 W
Standardzellenbibliothek	
Hardware-Makros:	Logikgatter Flip-Flops Interfacestufen
Softwaremakros:	Blockgeneratoren für RAM (max. 128 kBit) ROM (max. 16 kBit) PLA (max. 16000 Programmierpkt.) Logik (max. 1000 Elemente)
Chipabmessungen	3,4 mm x 3,4 mm bis 9 mm x 9 mm
Pins	28 ... 124
davon Systempins	max. 12
Userpins	max. 112
Gehäuse	QFP 28, 44, 52, 68, 84, 124

Tabelle 3 Technische Daten des U-1600-Systems

2.3. Gate-Array-Entwurfssysteme U 5200, U 5300

Muster	U5301	U5302	U5303	U5304	U5305	U5201
Pinanzahl	124	124	68	84	52	64
davon Kundenpins	108	104	52	68	40	53
Gatteräquivalente	8160	5040	2640	4056	1176	3020
Anzahl der Flip-Flops	360	200	120	182	70	102
Anzahl der Logikgatter	3848	2640	1200	1872	672	254
8 Speicherblöcke						
RAM oder	-	64x9	-	-	-	-
ROM wahlweise	-	128x8	-	-	-	-
Gatterverzögerung	0,9ns	0,9ns	0,9ns	0,9ns	0,9ns	5ns
(NAND2 mit $F_0=2$)						
reale Arbeitsfrequenz	40MHz	30MHz	60MHz	60MHz	80MHz	10MHz
Taktsystem	2 unabhängige Takte möglich					1 Takt
Betriebsspannung	----- 5V +/- 5% -----					
Pegelsystem	pinweise CMOS- oder TTL-kompatibel					TTL-komp.
Testverfahren	Strukturtest nach dem scan-path-Verfahren auf Basis für den LSSD-Test vorbereiteter Flip-Flops					
Programmierung						
1. Ebene	-----Metall-----					Metall
2. Ebene	-----Metall-----					Poly
Zwischenkontakte	----- KF -----					KF
Gehäuse	QFP124	QFP124	QFP84	QFP84	QFP52	QFP68

Tabelle 4 Technische Daten der Systeme U 5200 und U 5300

Für die analog aufgebauten Entwurfssysteme für die 4- μ m- bzw. 1,5- μ m-CMOS-Technologie des FZ Mikroelektronik in Dresden sind folgende Ausgangsdaten für den Entwurf zu erfassen:

- Schaltkreisbeschreibung auf Logik-Niveau in der Netzbeschreibungssprache NBS 84, einschließlich der Speicherkonfigurierung für den Master U 5302
- Eingangsfolgen für die Logiksimulation der Teilschaltungen und der Gesamtschaltung.

Die Verifikation des durch das Entwurfssystem erzeugten Layouts erfolgt durch die Simulation des um die aktuellen Lastkapazitäten ergänzten Netzwerkes. Die Testpattern werden durch das Entwurfssystem aus der Struktur des Netzwerkes (LSSD-Prinzip) erzeugt.

Die wesentlichen technischen Daten sind in der Tabelle 4 zusammengefaßt.

Im Zentrum für Technik in Berlin wird zur Schaltplaneingabe wie bei den Standardzellensystemen das PC-Programm (TURBO ASIC) mit NBS-84-Extraktion genutzt. Darüber hinaus stehen PC-Versionen für die Entwurfssysteme U 5200 und U 5300 der Technischen Universität Chemnitz zur Verfügung, die dem Schaltungsentwickler die Simulation am Arbeitsplatz ermöglichen. Durch das Zentrum für Technik in Berlin wurden die Schnittstellen zur Erzeugung des Datenträgers für das FZ Mikroelektronik eingerichtet, so daß eine sehr flexible Zusammenarbeit mit den Kunden möglich ist.

3 Literatur

- /1/ Grunert; Schmidt; Woyzichowski; Hentschel; Müller: ASIC'S in der DDR - ein Überblick. Elektronik 11/25. 5. 1990, S. 50 ... 60
- /2/ Mossner: VLSI-Standardzellen-Entwurfssystem U 1600. Tagungsband - 3. Tagung Schaltkreisentwurf Dresden 1989 vom 28. 3. bis 30. 3. 1989, Herausgeber: Akademie der Wissenschaften der DDR, Berlin 1989
- /3/ Handbuch des Standardzellenentwurfssystems U 1500 des FZ Mikroelektronik Dresden
- /4/ Handbuch des Standardzellenentwurfssystems U 1600 des FZ Mikroelektronik Dresden