Gerd Hein
1100 BERLIN
Berliner Straße 45

Akademie der Wissenschaften der DDR
Zentralinstitut für Kybernetik und Informationsprozesse
Bereich Schaltsysteme

Programm

11. ARBEITSTAGUNG
ENTWURF VON SCHALTSYSTEMEN

16. bis 18. März 1982

Dienstag, 16. März, 10.00—18.15 Uhr

ERÖFFNUNG

Prof. Dr. sc. techn. D. Eckhardt

Eckhardt, D. — AdW ZKI
Schaltsysteme unter den derzeitigen technischen Bedingungen

Heinz, G.; Bogk, D. — INT Berlin
Moderne Methoden zur Entwicklung hochintegrierter Schaltkreise und deren Einfluß auf Entwurfs- und Prüffreundlichkeit

Metz, J. — TU Dresden
Automatentheoretische Grundlagen der Rechnerarchitektur

Liebich, W. — TH Ilmenau; Meyer, G. — AdW ZKI
Entwicklungstendenzen der Mikrorechner-Architektur

Gerber, S. — KMU Leipzig
Entwerfen und Programmieren — Skizze einer Metamorphose

Albrecht, A. — HU Berlin
Komplexitätstheoretische Aspekte des Entwurfs von VLSI-Systemen

Kieser, M.; Oberst, E. — AdW ZKI
Weiterentwicklung von SESAD für den VLSI-Systementwurf

Matzdorff, K. — AdW ZKI
Struktur und Arbeitsweise der SESAD-Steuerung

Haufe, J.; Nauber, P. — AdW ZKI
Prinzip der dialoggestützten SESAD-Netzeingabe

Mittwoch, 17. März, 8.00—15.15 Uhr

Ulbrich, J. — TH Karl-Marx-Stadt

Ansätze zur strukturellen Modellierung beim mikroelektronischen Schaltungsentwurf

Steinbach, B.; Fehmel, J. — TH Karl-Marx-Stadt

Sprache zur Behandlung binärer Probleme —
Modul des Programmsystems „LOESUNG BOOLESCHER DIFFERENTIALGLEICHUNGSSYSTEME" (DGS) für den Rechner KRS 4200

Alder, J. — TH Leipzig

Probleme bei nichtleeren Steuerrelationen zwischen Teilprozessen

Jork, R.; Seidel, U. — VEB Reglerwerk Dresden

Praktische Anwenderaspekte zu Notierungsverfahren für digitale Schaltungen

Wuttke, H.-D. — TH Ilmenau

Eine Möglichkeit zur Beschreibung dialogfähiger Programmsysteme mittels Automatengraphen

Fengler, W. — WTR Radebeul/TH Ilmenau

Petri-Netz-Darstellung für den Entwurf von Ein-Ausgabe-Schnittstellen in Mikroprozessorsystemen

Killenberg, H. — TH Ilmenau

Zur Entwurfsmethodik der programmtechnischen Realisierung von komplexen Steueralgorithmen

Schubert, W. — FZW Karl-Marx-Stadt

Erfahrungen bei der Anwendung eines systematischen Entwurfsverfahrens am Beispiel der Steuerung eines Beschickungsroboters für Werkzeugmaschinen

Götze, S.; Strube, V. — TH Ilmenau

Mikrorechnergestützter Programmentwurf für programmierbare Steuerungen

Debski, A. — TH Ilmenau

Zur Realisierung arithmetischer Verarbeitungsaufgaben in programmierbaren Steuerungen

15.15—21.00 Uhr

Diskussionsnachmittag in der Umgebung Dresdens, anschließend gemeinsames Abendessen

ORGANISATORISCHE HINWEISE

Tagungsort

Kulturraum des Institutsteiles Dresden des ZKI der AdW
Zeunerstraße 38

Organisationsbüro

während der Tagung im Tagungsbüro neben dem Haupteingang
(am 16. 3. ab 9.00 Uhr)
sonst im Zimmer 148 A des ZKI, Institutsteil Dresden
Tel. 463 31 63 oder 463 21 64

Tagungsgebühr

40,— M (außer für Vortragende)

Dieser Betrag ist bei der Anmeldung im Tagungsbüro in bar zu entrichten.

Tagungsmaterial

Die Vorabdrucke der Vorträge werden den Teilnehmern bei der Anmeldung im Tagungsbüro ausgehändigt.

III/9/75] 496 82

M. AT Entwurf von Schaltsystemen
16.-18.3.1982 ZKI Dresden

~~[illegible]~~/82

Heinz, G. (INT Berlin)
Bogk, D. (INT Berlin)

Moderne Methoden zur Entwicklung hochintegrierter Schaltkreise und deren Einfluß auf Entwurfs- und Prüffreundlichkeit

Die technologisch mögliche Verkleinerung der Lateralabmessungen integrierter Transistoren auf Kanallängen von $< 2\mu m$ erschließt theoretisch bereits heute die Möglichkeit mit einem durchschnittlichen Flächenbedarf von $10\mu m \times 10\mu m$ pro Transistor einschließlich der Anschlußleitungen Schaltkreise mit 500 000 Transistoren auf einer Chipfläche von $8 \times 8 mm^2$ herzustellen.
Gegenwärtig wird an Schaltkreisen regulärer Struktur mit etwa 350 000 Transistoren (256k RAM) und an Schaltungen irregulärer Struktur mit bislang typisch bis zu 50 000 Transistoren (Spitzenwert: INTEL µAXP 432: 110 000 Transistoren /4/) gearbeitet. Die Entwerfbarkeit bleibt hinter der Technologieentwicklung zurück. Der Vortrag beschreibt Mittel und Methoden dazu, die "Komplexitätsbarriere", d.h. die Grenze, an der eine Schaltung durch extrem hohen Aufwand nicht mehr ökonomisch und zeitlich effektiv zu integrieren ist, weiter hinauszuschieben. Diese Mittel und Methoden sind auch für den Entwurf kleinerer, hochintegrierter Schaltkreise bedeutsam.

1. Systementwicklung

Komplexe Schaltungsstrukturen erfordern immense Systemkenntnisse. Mit hochintegrierten Universal-Bausteinen wie Mikroprozessoren, Speichern usw. ist es nicht möglich, das erforderliche Funktionsspektrum für die Industrie bereitzustellen (z.B. Echtzeit- Signalverarbeitung). Mit der weiteren Entfaltung der Mikroelektronik ist deshalb mit einem prozentualen Anwachsen der Kundenentwürfe zu rechnen.

2. Für Kurze Technologiedurchlaufzeiten und kleine Fertigungsstückzahlen ~~- Trennung zwischen Entwurf und Technologie~~

Die Anzahl der Technologiedurchläufe ist für eine Schaltkreisentwicklung begrenzt. Da die Technologiedurchlaufanzahl tendenziell

mit der Integrationsdichte des Schaltkreises anwächst, gleichzeitig aber weder die Produktion anderer Bauelemente beeinträchtigt werden darf, noch die Gesamtentwicklungszeit des Schaltkreises zu hoch werden kann, sind effektive Maßnahmen zur Reduzierung der Technologiedurchlaufzeit erforderlich. Es ist nicht zu erwarten, daß mit höheren Integrationsgraden auch die Fertigungsstückzahl pro Schaltkreistyp anwächst, im Gegenteil. Notwendig sind verstärkt technologische Verfahren und Arbeitsmethoden, die bei geringen Stückzahlen eine hohe Fertigungsökonomie zulassen.
Seit 1979 weisen amerikanische Universitäten mit dem "Multi-University-Multiprojekt-Chip-Set-Projekt" (MPC) /1/ nach, daß dies möglich ist. Durch eine Elektronenstrahldirektbelichtung der Arbeitsmaske können die Maskendurchlaufzeiten drastisch verringert werden. Gleichzeitig lassen sich durch die E-Strahl'-Belichtung vorteilhaft Chips verschiedener Typen zusammen auf einem Chip integrieren. Beim MPC werden etwa 15 Schaltkreise pro Chip und ca. 7 Chipkompositionen pro Scheibe realisiert. Damit werden kleinste Fertigungsstückzahlen realisierbar. Zukünftig ist eine scharfe Trennung zwischen dem technologischen Prozeß hochintegrierter Schaltungen für kleine Stückzahlen (MPC-Methode) und dem für hohe Stückzahlen (basierend auf Röntgenlithographie) zu erwarten.

3. Trennung von Entwurf und Technologie
Voraussetzung für die MPC-Arbeitsmethode ist eine exakte Schnittstelle zwischen Entwurf und Technologie. Diese wird durch Ausschreibungen eines "Implementierungsdienstes" gelöst. Schulungsmaterial für den Entwerfer ist das Buch von Mead/Conway /2/.
Es gilt, den Entwerfer frei von technologiespezifischen Aufgaben zu machen.

4. Die Bedeutung der Standardtechnologien nSGT und CMOS wächst VLSI- Schaltungen erfordern, daß die Verlustleistung minimiert wird. Deshalb muß die Arbeitsgeschwindihkeit jedes Gatters in weiten Grenzen so wählbar sein, daß statische und dynamische Stromaufnahme des Gatters gegen die im jeweiligen Schaltungsfall erforderliche Verzögerungszeit beliebig getauscht werden können.

Bei den MOS-Techniken ist dies durch die Wahl des b/l-Verhältnisses möglich. I^2L erscheint deshalb trotz einfachstem Layout für VLSI-Anwendungen wenig geeignet. Verlustleistungs- und flächenminimierte Baugruppen sollten, um Überdimensionierungen zu vermeiden, mit symmetrischen Impulsfolgen betrieben werden.

5. Pinanschlüsse sind begrenzt

Um pro Entwicklungsetappe eines Schaltkreises eine Maximalzahl von Fehlern korrigieren zu können, wie auch, um optimale Fertigungsteststrategien anwenden zu können, sollten möglichst viele Baugruppen über unterschiedliche Wege einzeln ansprechbar sein. Multiplexbare Pinanschlüsse sind anzustreben. Für Schaltungen mit stark sequentiellem Charakter bietet der LSSD-Entwurf /5/ Vorteile. Die bei Mead/Conway /2/ beschriebene neue Layoutmethode von Johannsen bietet über die Nutzung von Redundanzen den Vorteil, prüfgünstig zu sein, ohne damit den top-down-Entwurfsstil zu stören. Die effektive Anwendung einer Prüfstrategie setzt voraus, daß sie im top-down-Entwurf realisierbar ist, und daß die verwendeten Standardstrukturen die prüftechnischen Strukturelemente enthalten.

6. Die Standardzellenmethode im top-down-Entwurf

Die Grundidee der klassischen Standardzellenmethode, Layoutfehler und Zeichenarbeit durch den Einbau von Standardelementen (Flipflops, Speicherzellen) zu minimieren, indem diese von einer Bibliothek genommen werden, erweist sich als nicht flächen- und aufwandsoptimal, weil nicht Schaltelemente (Transistoren) sondern Leitungen Platz benötigen. Nicht Transistoren, sondern Leitungen sind zu positionieren! Und dies bereits in der Systemebene durch die Festlegung der räumlichen Schnittstellen der Systembaugruppen. Damit ergibt sich trotz Anwendung von nicht flächenoptimalen LAMBDA-Entwurfsregeln und Standardzellen eine extrem hohe Packungsdichte /2/, die mit minimalem Entwurfsaufwand realisierbar ist. Man vergleiche zB. OM2 /2/ mit dem Layout des INTEL-Schaltkreises I 8279.

~~LAMBDA = Entwurfsregeln~~

7. LAMBDA - Entwurfsregeln

Kernproblem des hochintegrierten Entwurfes ist die Fehlerfreiheit im Layoutprozeß. Wenn es gelingt, ein Grundraster festzulegen, das größer als das µm-Raster ist, so lassen sich Zeichnungs-und Digitalisierfehler etwa um den Faktor der Rastervergrößerung vermindern. Gleichzeitig wird das Layout topologisch besser bearbeitbar.

8. Die Entwurfsphilosophie des top-down-Entwurfes /1/,/2/

-Leitungen statt Logikgatter sind zu positionieren,
-die räumliche Anordnung der Leitungen wird bei dem Systementwurf festgelegt,
-wenige Zelltypen sind anzuwenden,
-geknickte Busse sind zu vermeiden,
-die Zellen sollten lückenlos aneinanderfügbar sein,
-Langstreckenverbindungen sind zu vermeiden,
-einfache Erweiterungsmöglichkeit und Modularität ist anzustreben,
-die Zellen sind hierarchisch aufbaubar,
-Parallelverarbeitung der Daten ist anzustreben,
-der Steuersignalfluß sollte einfach und überschaubar sein,
-systolische Algorythmen der Datenbearbeitung sind anzuwenden,
-Daten sind busweise zu bearbeiten,
-unreguläre Strukturen sind durch Maskenprogrammierung aus regelmäßigen Strukturen abzuleiten/1,3/,
-Sticks bilden die Grundlage von Flächenabschätzungen und Simulationen, werden aber nicht digitalisiert.

9. Trotz Sticks abwärts gerichteter Entwurfsstil?

Wird angestrebt, den Entwurf mit Ein-Lambda-Entwurfsregeln (Sticks) /2/ zu realisieren, sind die räumlichen Schnittstellen a priori im Top-down-Entwurfsstil nicht exakt zu fixieren. Ein "Wandern" der Schnittstellen würde Zelldehnungs- und Zellkompressionssoftware bedingen. Damit würde die Entwurfsphilosophie verletzt, und der Entwurf kann flächenunoptimal werden.

10. Effektive Rechnerunterstützung

Der hochintegrierte Entwurf ist ein iterativer Prozeß zwischen Schaltungs- und Layoutoptimierung. Eine exakte, eindeutige Zuordnung zwischen Schaltung, Layout und Logik ist erforderlich. Im Interesse einer fehlerfreien Simulation ist es nötig, Simulationsläufe ausgehend vom aktuellen(u.U. fehlerbehafteten) Layout durchzuführen. Software für die Umformung von Layout- in Netzwerk- und Logikdaten ist die Voraussetzung. Da stets mehrere Entwerfer auf diese Daten zugreifen, und sie verändern, muß diese Datenbank vom Entwurfsrechner ständig aktualisiert werden. Um der Forderung nach Fehlerfreiheit zu genügen, dürfen keine hardcopy-Belege existieren, die veraltet sind. Interaktive, graphische Bildschirmtechnik ist deshalb eine Grundvoraussetzung des hochintegrierten Entwurfes.

Literatur:

/1/ Hartenstein,R.W.: VLSI- Bausteine in geringen Stückzahlen für Spezialanwendungen. Elektronische Rechenanlagen, 22.Jhrg.1980, Heft 4, S. 159- 173.

/2/ Mead,C.; Conway,L.: Introduction to VLSI-Systems. Addison- Wesley Publishing Company, 1980.

/3/ H.de Man: CAD- techniques for VLSI. Europ. Conference on CAD, 1980, S.243-248.

/4/ - : About the Cover. IEEE Micro, May 1981, S.5-7.

/5/ Jones,H.E.; Schauer,R.F.: An Approach to a Testing System for LSI. Symposium on Computer Aided Design of Digital Electrone Circuits and Systems, Brüssel, 1978.