

Vortrag im INT  
20.3.1981

Weiterbildungsveranstaltung INT-TB  
Ferienheim Silz  
7.10.1981

G. Heinz

Vortrag

Master-Slice Technologie des HFO (ISA)

---

df.: Master-Slice: feste Bauelemente-Anordnung, variable Verdrahtung  
(hier in einer Ebene).

(1) Warum Master-Slice Entwurf?

---

- hohe Entwurfskosten,
  - kleine Stückzahlen sind sehr teuer
- generell:
- Ausbeute steigt erst bei eingefahrener Technologie
  - Maskenkosten sind hoch, je nach Integrationsgrad  
zwischen 2000 und 50000 (LSI) Mark
  - erhöhte Si-Flächenkosten sind bedeutsam, wenn Abschreibungen in  
Region der Si-Flächenkosten kommen
- da Entwicklungskosten hoch sind, ist anzustreben:  
Master-Slice mit Standardschaltungskatalogen

DDR-spezifisches Problem: kleine Sortimentsbreite

Vergleich Mikroelektronikpotential DDR-USA:

USA:

Silicon Valley: 300.000 Beschäftigte  
gesamte USA: ca. 800.000 Beschäftigte

DDR:

ca. 50.000 Beschäftigte

Annahme: auch in den USA wird an Ausbeutegrenze gearbeitet.

--> Alternative:

entweder die DDR hat 1/16-tel Sortimentsbreite  
oder in der DDR sind ICs 16-fach teurer.  
(oder die soz. ok. Integration funktioniert?)

--> Suche nach Technologien, die geringe Stückzahlen mit niedrigem  
Preis und hoher Ausbeute realisierbar machen!

--> Folien: FA3, FA4, FA5, FA9

Positiver Effekt der Master-Slice Technologien:

- Veränderung der Arbeitsteilung Geräteentwickler - Bauelementeproduzent
- Vereinfachung der Geräteentwicklung, da fertige Transistoren und Bauelemente, schnelle Überleitung

Vorteile:

risikofreundlicher + zeitsparender Entwurf

- da Technologie festliegt
- da BE-Parameter festliegen (Katalog)
- billig; kleine Stückzahlen machbar (1000...10000)
- Standardisierungseffekt in BE-Industrie: verkürzte K-Entwicklung
- Reduzierung der Entwicklungszeit
- schnelles "Aufholen" der DDR
- ökonomische Produktion

Nachteile:

- Si-Flächenausnutzung gering
- Außenabmasse festliegend
- Bauelementezahl sortiert vorgegeben
- Schaltungstechnisch begrenzt

(2) Aufbau des ISA-Systems:

---

3 Technologien:

SBC 20 Volt  
SBC 36 Volt  
SBC I<sup>2</sup>L

6 analoge Master mit gleichen BE-Typen, lediglich Anzahl unterschiedlich

3 digitale Master (I<sup>2</sup>L)

SBC: eine Schablone wird strukturiert  
I<sup>2</sup>L: zwei Schablonen strukturierbar

ANALOG ISA

---

MASTER IA10

39 npn-klein  
2 npn groß  
18 pnp-lateral  
15 npn Schottky (in Entwicklung)  
150 Widerstände von 200 Ohm bis 5 kOhm (Basis),  
30 und 100 kOhm (pinch)  
16 Bondinseln  
1,8 x 3,0 mm<sup>2</sup>

.....

MASTER IA60

92 npn-klein  
4 npn groß  
36 pnp-lateral

14 pnp-Substrat  
270 Widerstände von 200 Ohm bis 5 kOhm (Basis),  
30 und 100 kOhm (pinch)  
24 Bondinseln  
2,7 x 3,0 mm<sup>2</sup>

## DIGITAL ISA

---

### MASTER ID10

320 I<sup>2</sup>L Gatter  
36 npn-klein Schottky  
4 pnp-lateral  
108 Widerstände  
20 Bondinseln  
2,7 x 3,1 mm<sup>2</sup>

.....

### MASTER ID30

864 I<sup>2</sup>L Gatter  
63 npn-klein Schottky  
4 npn groß  
21 pnp-lateral  
210 Widerstände  
42 Bondinseln  
2,7 x 3,1 mm<sup>2</sup>

--> FOLIE FC1

## Allgemeine Problematik monolithischer HL-Bauelemente

---

### Große BE-Toleranzen:

- Basiswiderstände +/- 15 %
- Pinchwiderstände -40 ... +80%
- Stromverstärkungen
  - o npn +/- 25%
  - o pnp lateral +/- 50%
- parasitäre, kapazitive Kopplung der BE über Substrat (HF Großsignal)
- Kapazitäten bis 10 pF machbar, große Streuung +/- 30%  
TK der Kapazitäten +0,05 bis +0,15 %/K
- Diskrete R, nur 200 Ohm bis 5 kOhm (Basis)  
30 kOhm, 70 kOhm (pinch bzw. epi-pinch)
- Großer TK der R:
  - o Basiswiderstände -5... +13 %
  - o Pinchwiderstände -55...+125 %/K
- Gemeinsame Wanne für Basiswiderstände: HF-Verkopplungen
- Pinchwiderstände gepolt; Isolierrahmen nötig
- Epi-Pinchwiderstände ungepolt, regelbar; Isolierrahmen nötig
- Parasitäreffekte zwischen BE müssen berücksichtigt werden
  - o Parasitärtransistoren/ keine Spannung unter Substratpotential
  - o Maximale Spannung über Pinchwiderstand 6 Volt

- Leitbahnen  $I_{max} < 15 \text{ mA}$ ,  $100 \text{ } \mu\text{m}$  lang/ $10 \text{ } \mu\text{m}$  breit:  $0,5 \text{ Ohm (!)}$
- Keine Induktivitäten, keine großen C machbar
- Umdenken!

Diesen Nachteilen stehen Vorteile gegenüber:

- Relativabweichungen der BE sind gering
- Höchste Gleichlaufeigenschaften benachbarter BE
- Differenzverstärker (DV-) Prinzip nutzen
- beste thermische Kopplung, benachbarte BE differieren weniger als  $0,005 \text{ K}$
- zwar hoher TK, aber auch hoher TK-Gleichlauf  
TK der Ube absolut  $\sim 2 \text{ mV/K}$   
aber relativ  $< 10 \text{ } \mu\text{V/K}$
- generell: mit aktiven BE sind mit DV-Prinzip ähnliche Eigenschaften erreichbar, wie mit diskreten Präzisionsbauelementen

Relative Abweichungen R:

- Basis  $\pm 4\%$
- Pinch  $\pm 8\%$

Relative Abweichungen C:

- Ccb  $\pm 3\%$
- Cbe  $\pm 4\%$

Beispiel

Beta-Anpassung  $< 5\%$  auf einem Chip (Stromverstärkung)  
Ube-Anpassung  $\pm 1 \text{ mV (!)}$   
Ueb-zener Anpassung  $\pm 1 \text{ } \%$  (!)

Anwendungen bei:

- Konstantstromquellen
- Hochohmwiderständen
- Referenzspannungen durch Bandgap oder gewöhnliche, TK-kompensierte Schaltungen

Konkrete Bauelementeparameter

---

SBC-Prozeß:

- P-Silizium
- N+ Diffusion
- N- Epitaxie
- P+ Diffusion Isolierrahmen,
- P+ Diffusion für p-Basis
- N++ Kollektor und Emitter

Folie npn-klein auflegen

Unterschied diskreter - integrierter Transistor:

- Integrierter Transistor nicht in Verstärkungsgruppen klassifizierbar (Ausbeute)
- Kollektorkontaktierung oberseitig  $\rightarrow$  höheres  $U_{ce\_sat}$
- Parasitärer pnp-Transistor wird bei negativer Kollektor-Substrat-Spannung wirksam, er zieht benachbarte Kollektoren mit runter
- Kein Kollektor darf von außen unter Substratpotential gezogen

- werden
- Ebenso kann das Substratgebiet durch einen ungewöhnlich hohen Substratstrom lokal positiver als die Umgebung werden, damit steigen auch sämtliche, danebenliegenden Transistoren aus
  - Substratströme und lokale Substratspannung sind nachzurechnen
  - Auf Masse liegende n- Inseln in der Nähe stromziehender Substratanschlüsse sind zu vermeiden bzw. nachzurechnen

Technische Parameter: siehe Folien

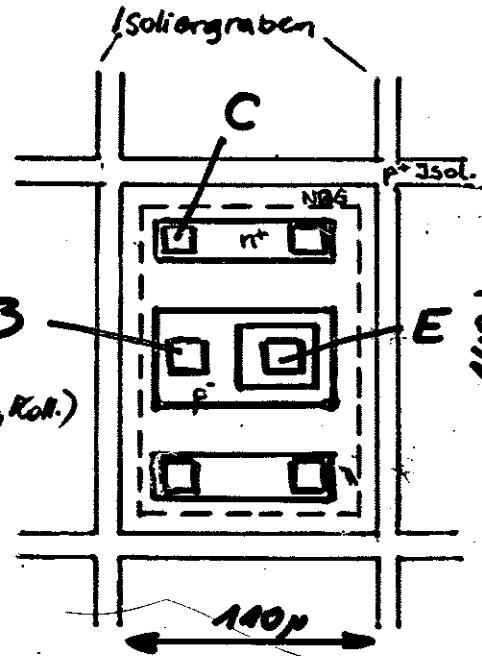
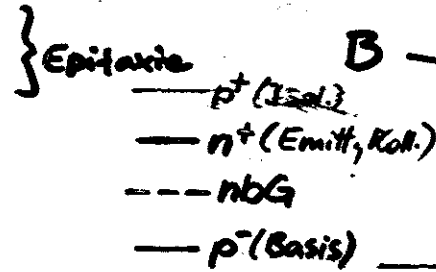
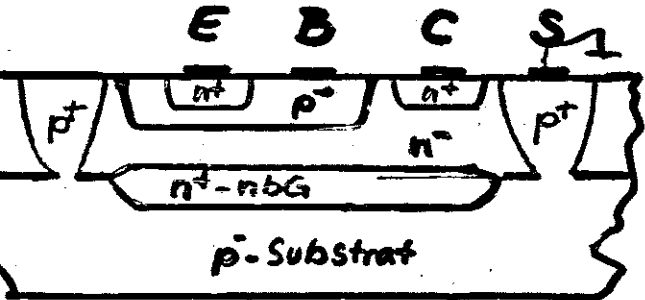
Folie npn-klein  
Folie pnp-lateral  
Folie pnp- substrat  
Folie Widerstände

(3) Digital I<sup>2</sup>L-ISA

---

Folie I<sup>2</sup>L-Gatter  
Folie elektrische Eigenschaften  
Folie I<sup>2</sup>L-Logik

npn-klein:



Daten: (typ)

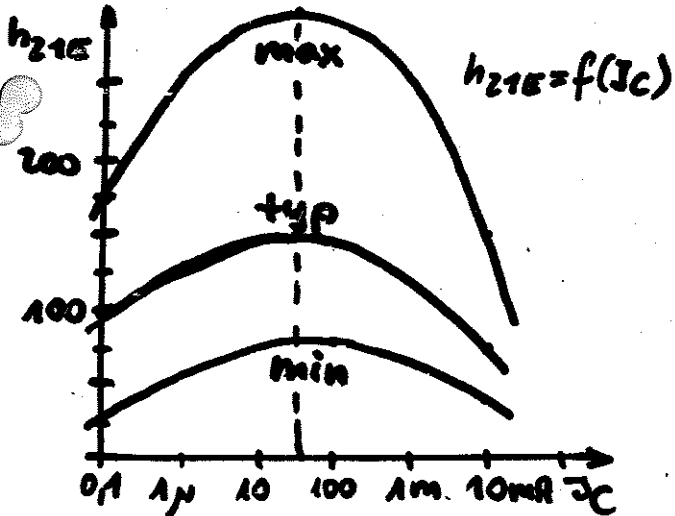
- $h_{21E} = 150$
- $I_{Cmax} = 20\text{mA}$
- $R_{CU} = 10\Omega$
- $R_{CE} = 160\Omega$
- $C_{C30} = 2,3\text{pF}$
- $C_{C80} = 0,8\text{pF}$
- $C_{E50} = 0,8\text{pF}$
- $f_T = 350\text{MHz}$

$K_{RCB} = 100V$

$\hookrightarrow r_{CE} \approx 1\text{M}\Omega$   
bei  $I_C = 100\mu$

$U_{CE0} = 23V$   
(20V-Prozess)  
1A60

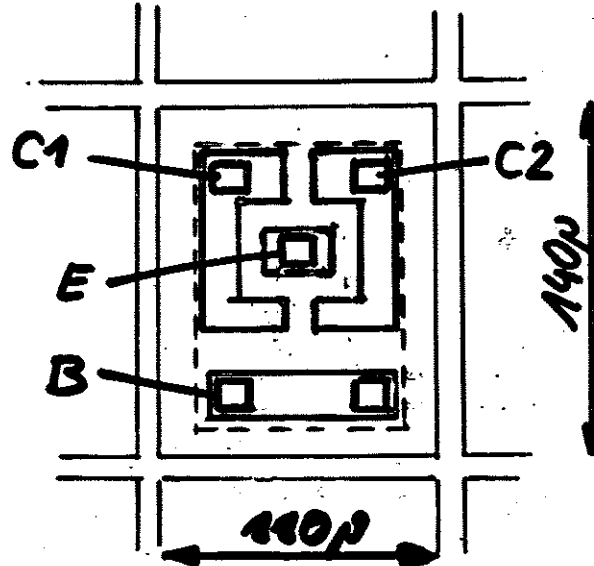
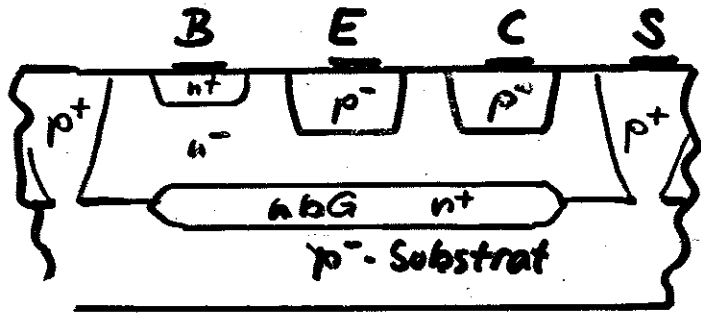
(nach Entw.regeln  
minimaler Transistor  
wäre  $58 \times 85\mu\text{m}^2$ )



npn-groß: 100-fach längerer-Emitter

- $h_{21E} = 150$  ( $I_C = 5\text{mA}$  Optimum)
- $I_{Cmax} = 100\text{mA}$
- $R_{CE} = 15\Omega$
- $R_{bb} = 20\Omega$
- $U_{CESat} \approx 0,4V$
- $f_T = 100\text{MHz}$
- $C_{C80} = 8\text{pF}$

pn<sub>p</sub>-lateral:



Daten:

$\beta \approx 15$  (TK 0,1%/K) WC: 5...60 ! ( $J_C \approx 30\mu - 0\mu$ )

$U_{CE0} \leq 45V$  (20V-Prozess)

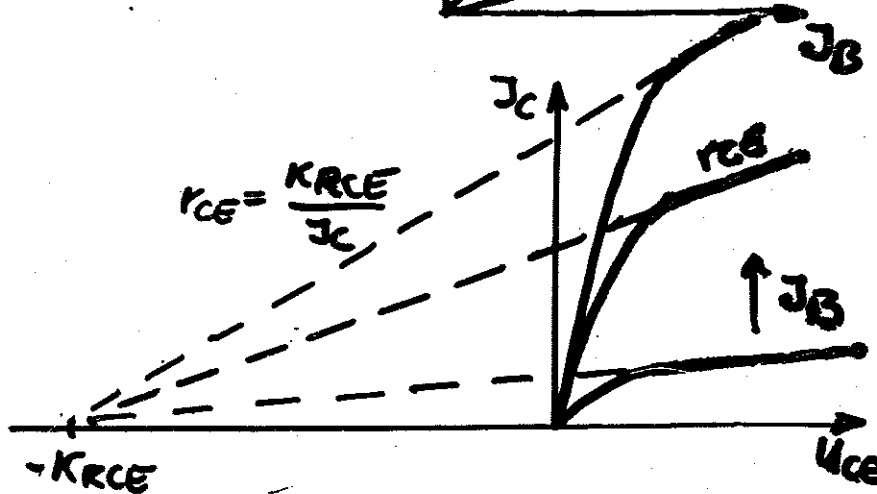
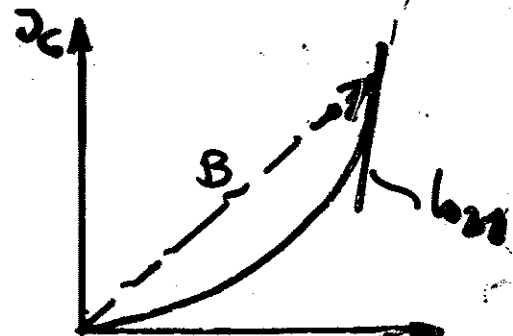
$I_{CBO} = 5\mu A$

$f_T = 5MHz$

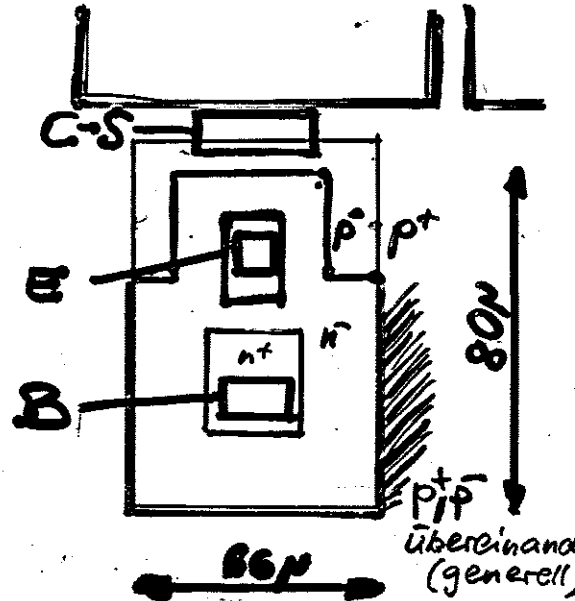
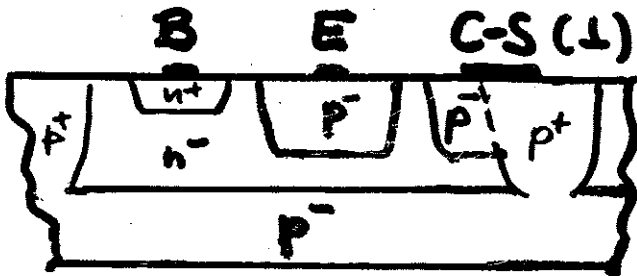
$R_{CESat} \leq 600\Omega$

$J_{Cmax} = 1mA$

$K_{RCE} \approx 30V$



pnp-Substrat:



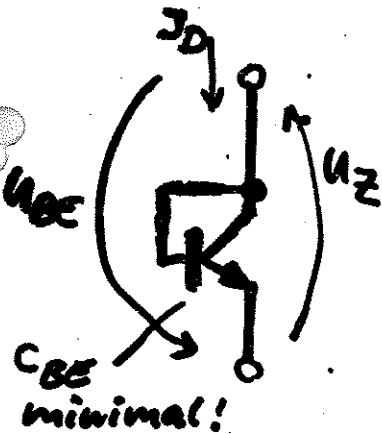
Daten:

$\beta \approx 40$  (1mA, 5V)  $W_C: 5...60$

$f_T \approx 15 \text{ MHz}$

$J_{Cmax} = 1 \text{ mA}$

Dioden, Z-Dioden:



$$r_{AK} \approx \frac{r_{BE}}{h_{21E} + 1} = \frac{MNU_T}{J_D (h_{21E} + 1)}$$

$$U_{AK} = 0,6...0,7 \text{ V}$$

$$TK = -1,9 \frac{\text{mV}}{\text{K}}$$

$\uparrow$  npn: 150!  
 $\downarrow$  pnp: 20!

$$C_{AV} \approx C_{CS} \approx 2,7 \text{ pF}$$

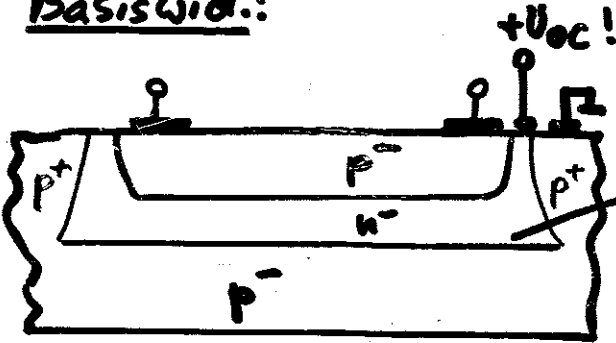
$$U_Z(\text{nnp}) = 6,7 \text{ V} \pm 0,5 \text{ V}, TK \approx +12 \frac{\text{mV}}{\text{K}}$$

$$U_Z(\text{pnp}) = 40 \text{ V}$$



Widerstände:

Basiswid.:



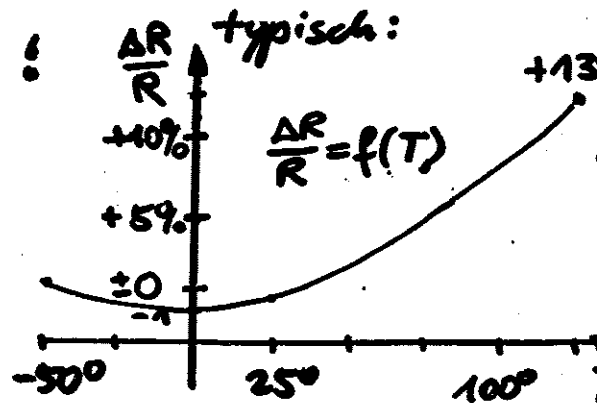
eine Wanne (+Ubc) für alle Basiswid!

aber:  $\frac{\Delta R}{AR} / \Delta T = 0,015\%/K!$

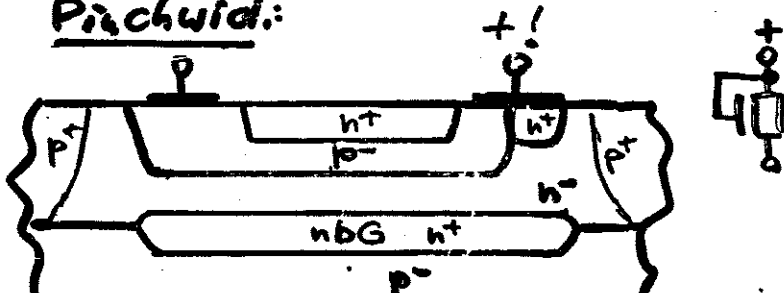
$R = 50\Omega \dots 5k\Omega \pm 30\%$  ;

TK:  $\pm 0,15\%/K$

auf der Scheibe:  $\frac{\Delta R}{AR} = 3 \dots 5\%$  !



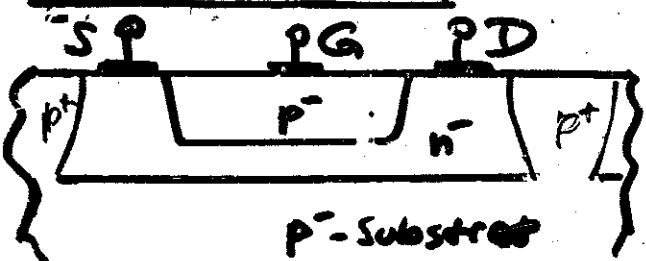
Pföschwid.:



$R = 30 \dots 30k\Omega -40 \dots +70\%$  ; TK:  $+0,3\%/K$

$U_{max} \approx 6V$  ;  $C_{par}/\mu m^2 = C_{GS}/\mu m^2$

Epi-Pföschwid (SFET):



$U_{max} \leq 20 (36)V$  ;  
 $R = 60 \dots 900k\Omega -50 \dots +80\%$  ;  
 $R = f(U)$  nicht vermeidbar

$C_{par}/\mu m^2 = C_{CS}/\mu m^2$