Institut für Nachrichtentechnik
Abteilung TB 4

Berlin, den 17. 01. 1983

Nur für den Dienstgebrauch

Bericht TB 4 - 2/83

Titel: Statische und dynamische Dimensionierung nSGT - 28

Bearbeiter: G. Heinz

Umfang: 11 Seiten
3 Anlagen

Bem.: Aktualisiert und korrigiert am 1.4.1983 G.Heinz

III/15/4 1876 1877 1878 1879 1880 200,0 T/M 25657
59012 VV Freiberg Außenstelle Dresden Ag 307/75

III/15/4 1876 1877 1878 - 1879 1880 200,0 T / D 25657

Statische und dynamische Dimensionierung nSGT-2S

Für die Schaltkreise ISES, IEMS, IKOS kommt die Technologie nSGT-2S (VD TB 298/82) voraussichtlich in der Variante [redacted] (~~[redacted]~~ Substratvorspannung, eine Ioneninplantationsmaske, zwei Transistorarten (Anh. + Depl.)) mit den Entwurfsregeln (VD TB 265/82) zum Einsatz.

Die Technologie hat die Hauptkennwerte:

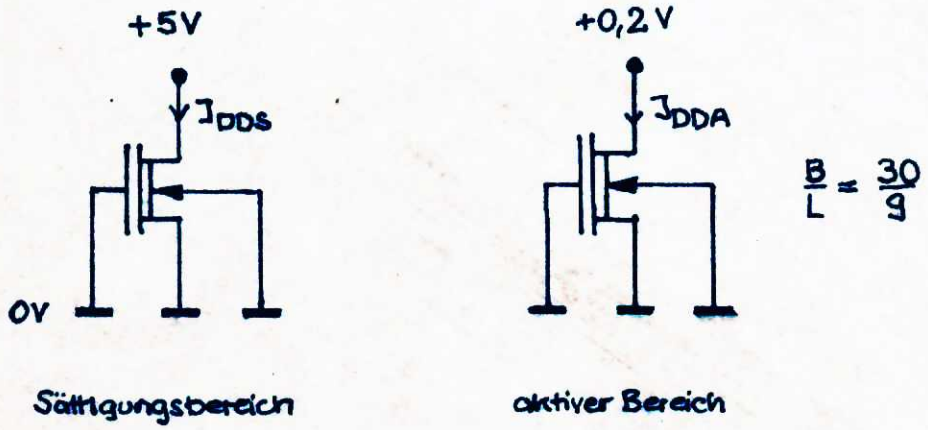
- kleinste effektive Kanallänge 3 µm
- Verzögerungszeit-Leistungs-Prod. 2 pJ
- Gateoxiddicke 70 nm

Die Kennlinienanpassung der Modelle wird nach Pflichtenheft an die folgenden Transistoren realisiert:

Depletiontransistor: D 09 30

Breite (Layout)	B = 30
Länge (Layout)	L = 9
Schwellspannung	U_{TD} = - 3,75 ... - 3,25 ... - 2,75 V
Drainstrom (aktiv)	I_{DDA} =70 ... 90 ... 120 µA
Drainstrom (gesättigt)	I_{DDS} = 450 ... 700 ... 1 050 µA

Meßschaltung:



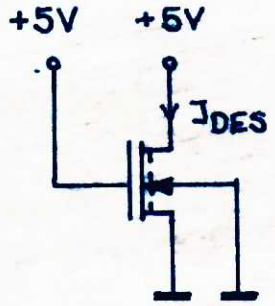
59012 VV Freiberg Außenstelle Dresden Ag 307/75

III/15/4 1876 1877 1878 1879 1880 200,0 T/D 25657

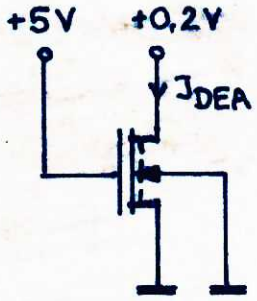
Enhancementtransistor: E 05 30

Breite (Layout)	B = 30
Länge (Layout)	L = 5
Schwellspannung	U_{TE} = 0,6 ... 0,8 ... 1,0 V
Drainstrom (aktiv)	I_{DEA} = 150 ... 200 ... 290 µA (U_{DS} = 0,2 V)
Drainstrom (gesättigt)	I_{DES} = 1,2 ... 1,7 ... 2,5 mA (U_{DS} = 5 V)

Meßschaltung:



Sättigungsbereich



aktiver Bereich

$\frac{B}{L} = \frac{30}{5}$

Laut Pflichtenheft nSGF-2S (VD TB 298/82) werden für die Technologie die Zielwerte DB = - 2,4 µm und DL = - 2,0 µm angestrebt. Bislang werden diese Werte nicht erreicht. Die letzten Testfeldergebnisse (E 2 E 1 - 13/83) lassen die Werte DB = - 2,4 ... - 0,8 und DL = - 2,8 ... - 1,2 als real erscheinen. Wird von Lambda-Entwurfsregeln (DBM, DLM) ausgegangen, so ist von diesen Werten noch die doppelten Kantenverschiebungen der A-bzw. B-Ebene (KVA, KVB) abzuziehen.

b.w.

59012 VV Freiberg Außenstelle Dresden Ag 307/75

Für Dimensionierungsrechnungen ausgehend von Lambda-Werten sind deshalb die Verkürzungen:

$$DBM = DB - 2 \cdot KVA = 0{,}6 \pm 0{,}8\ \mu m$$

$$DBL = DL - 2 \cdot KVB = 1{,}0 \pm 0{,}8\ \mu m$$

zu wählen (STADYNET bzw. Tischrechner).

In Anlage 1 wurden, ausgehend von diesen Werten, die Ergebnisse einer Toleranzanalyse in der Form

$B_{Emin} = f(B_{Depl}, L_{Depl}, \quad)$ dargestellt.

Die Kurven $\gamma = 5$ gelten für Inverter und NOR-Gatter, die mit maximalem Eingangspegel arbeiten ($u_{eH} = 5$ V); die Kurven $\gamma = 8$ für zweifach-NAND-Enhancementtransistoren, bzw. für auf Transfergate oder Enhancement-Hochzieher folgende Inverter oder NOR-Gatter; die Kurven $\gamma = 12$ gelten für Inverter bzw. NOR-Gatter, die über Enhancement-Hochzieher und Transfergate getrieben werden.

Wahl der Technologievariante X

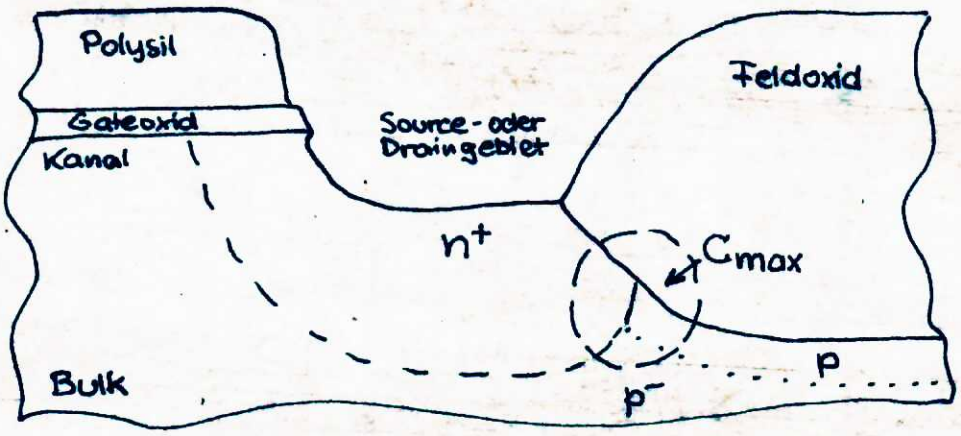
Gegen die Variantenwahl X spricht zunächst, daß aufgrund der erhöhten Bulkdotierung (N_p) gegenüber der Variante Y 1 die X-Variante ca. 30% langsamer als die Y-Variante ist. Wird angenommen, daß die Ausdehnung der n^+-p^- - Raumladungszone in lateraler Richtung proportional mit dem n^+-p^--Dotierungsverhältnis anwächst, so sind in Variante X aufgrund geringerer Kanallängenmodulation (im eingeschnürten Bereich) Enhancementtransistoren mit besseren Sperreigenschaften ($U_{GS} = 0$, $U_{DS} = U_{DD}$) zu erwarten. Gleichzeitig wird sich bei gleicher Kanalstopperdiffusion (p) der Schmalkanaleffekt aufgrund der höheren Bulkdotierung der X-Variante weniger auswirken, so daß mit einer höheren Ausbeute gerechnet werden kann.

59012 VV Freiberg Außenstelle Dresden Ag 307/75 III/15/4 1876 1877 1878 1879 1880 200,0 T/D 25657

Bei schmaler werdendem Depletionkanal wächst das Verhältnis der Steuerwirkung des Bulks gegenüber der des Gates an, die Schwellspannung des Depletiontransistors wächst mit der kleiner werdenden Kanalbreite. Das führt bei mittleren Source-Bulk-Spannungen U_{SB} für $U_{GS} = 0$ bereits zur Schwellspannung $U_{TD} = 0$ V; d. h. der Depletiontransistor sperrt, noch bevor $U_G = U_S = u_a$ den Hoch-Pegel U_{Hmax} erreicht. Durch die Erhöhung des Bulkpotentials auf $U_B = 0$ V (Variante X) erreicht, das der Hoch-Pegel bei der gegebenen Technologie U_{Hmax} maximal hoch liegt.

Schnelles Layout

Die Schaltgeschwindigkeit des Gatters (d. h. die Verzögerungszeit) wird von den parasitären Transistorkapazitäten bestimmt. Für Grobabschätzung reicht es aus, die Kapazität ausgehend von den Layoutflächen abzuschätzen. Sind Gatter in ihrem dynamischen Verhalten kritisch, muß der feldoxidseitige Rand des betrachteten n^+ - Gebiets in die Überlegung mit einbezogen werden. Der zum Feldoxid weisende Rand des n^+ - Gebiets hat praktisch aufgrund der Kanalstopperdiffusion unter dem Feldoxid etwa vierfach höhere Flächenkapazitäten als die Unterseite des n^+ - Gebiets. Das sollte bei der Layoutgestaltung berücksichtigt werden (siehe Bild). Die Kapazitätsprozedur PNC2 (STADYNET) ermöglicht die Eingabe von A-Fläche und A-Rand, sie ist bei kritischen Strukturen anzuwenden.



eiberg Außenstelle Dresden Ag 307/75 15/4 1876 1877 1878 - 1879 1880 200,0 T/D 25657

III/15/4 1876 1877 1878 - 1879 1880 200,0 T/D 25657

Minimal - Transistoren

Werden schmale ($B = 2\lambda$) Transistoren benutzt, so ist zu beachten, daß die Gatebreite erheblichen technologisch bedingten Schwankungen unterliegt.

Die Einflußgrößen:

Kantenverschiebung bei der Feldoxidstrukturierung;
Konzentration und Ausdiffusion der Kanalstopperdotierung;
Eindringtiefe der Kanaldotierung (beim Depletiontransistor);
Gestalt der Feldoxidfront;
Einfluß der Gateoxidation führen zu erhöhten Schwankungen der Transistorbreite.

Für die aktuellen Streuungen der Kanalbreite (-länge) gilt:

$DB = -2{,}4 \ldots -0{,}8\ \mu m$ ($DBM = 0{,}6 \pm 0{,}8$)

$DL = -2{,}8 \ldots -1{,}2\ \mu m$ ($DLM = 1{,}0 \pm 0{,}8$)

Für L = 2 Lambda, B = 2 Lambda (Lambda = 2 µm, WZB = WZL = 0,5 µm) ergeben sich Stromtoleranzen eines Minimaltransistors ($2\lambda \times 2\lambda$) von:

$$I_{DS} \approx \frac{b}{l} \cdot k = \begin{cases} I_{DSmax} \approx \dfrac{b_{max}}{l_{min}} \cdot k \\[2ex] I_{DSmin} \approx \dfrac{b_{min}}{l_{max}} \cdot k \end{cases}$$

$$\frac{I_{DSmax}}{I_{DSmin}} \approx \frac{b_{max}}{l_{min}} : \frac{l_{max}}{b_{min}} = \frac{4{,}2}{2{,}2} : \frac{3{,}8}{2{,}6} = \underline{\underline{279\ \%}}$$

bzw. $I_{DSmin}/I_{DSmax} \approx \underline{\underline{36\ \%}}$.

59012 VV Freiberg Außenstelle Dresden Ag 307/75

Bei der Dimensionierung eines Gatters, bei dem einer der Transistoren ein Minimalmaß (Breite oder Länge) aufweist, ist die statische und dynamische Funktionsfähigkeit mit der im jeweiligen Fall schlechtesten Toleranz nachzuweisen.

Dazu sind kritische Schaltungen mit den WC-Min bzw. WC-Min-Werten mit STADYNET (TABE 1, TABE 2, TABD 1, TABD 2: WC-Karten einfügen) zu simulieren.

Im konkreten Fall sind diese Schaltungen mit einem wesentlich höherem elektrischen Wert zu dimensionieren (siehe Anlage). Daraus resultiert im Allgemeinen, daß die Inverterschwelle des betreffenden Gatters zu niedrig liegt, das Gatter reagiert insbesondere auf High-Spikes empfindlicher.

Schmalkanaleffekt:

Messungen zeigen, daß die Schwellspannung von Transistoren mit sich verringernder Transistorbreite stark ansteigt. Das führt zu einer sich progressiv vermindernden Stromergiebigkeit des Transistors. Ursache ist, daß am Rand des Transistors der substratspannungsbedingte Schwellspannungsanstieg (Bodyeffekt) aufgrund der Kanalstopper und Felddotierung (p) wesentlich stärker ist, als unter dem Transistor. Daraus ergibt sich eine Breitenabhängigkeit der Bodyeffektkonstanten K 2:

$$U_T = U_{TO} + K2 \left(\sqrt{-U_B + 2V_F} - \sqrt{2V_F} \right)$$

$$K2 = K20 + B_{eff}/(B + \Delta B)$$

und folglich ein effektiver Schwellspannungsanstieg des Transistors:

B(in λ)	UTO	UT-2	UT-7	K2(in $V^{0,5}$)
15 λ	- 3,14V	-2,85 V	-2,44 V	0,353
2 λ	- 2,22V	-1,62 V	-0,81 V	0,71
1 λ	- 0,5 V	+0,55 V	+2,4 V	0,96

!

III/15/4 1876 1877 1878 1879 1880 200.0 T/D 25657

59012 VV Freiberg Außenstelle Dresden Ag 307/75

UTX: Schwellspannung bei U_{BS} = X (V)
(Bericht B2B1 76/82)

Die Depletionschwellspannung des (ideal) breiten Transistors von - 3,14 V steigt bei einer Kanalbreite von 2 Lambda auf - 0,81 V an, wenn sich der Kanal des Depletiontransistors auf einem Potential von + 7 V gegenüber Substrat befindet, d. h. der Transistor wird stromärmer. Würde das Kanalpotential des Transistors (i. A. der Sourceanschluß) gegenüber dem Substratpotential weiter angehoben, so wird irgendwann die Schwellspannung 0 V erreicht, d. h. bei an den Drainanschluß angeschlossenem Gate fließt durch den Transistor kein Strom mehr. Bei einem 1 Lambda-breiten Transistor wäre dies bereits bei ca. U_{SB} = 1V der Fall, d. h. ein mit einem 1 Lambda-breiten Kanal versehener Depletiontransistor könnte den Ausgang der Schaltung (seinen Sourceanschluß) nur auf etwa 1 V "hochziehen", ein solcher Depletiontransistor ist praktisch unbrauchbar. Bei Transistoren, die mit Minimalbreite (2 Lambda) entworfen wurden, muß damit gerechnet werden, daß das Stromaufkommen nur halb so groß, wie in der Anlage angegeben, sein kann. Die richtige dynamische Dimensionierung ist bei diesen mit dreifacher Sicherheit nachzuweisen.

Kurzkanaleffekt:

Kurze Kanäle bedingen ein Ansteigen des Punch-through-Effekts (erhöhter Stromanstieg bei hohen Drain-Source-Spannungen). Die Schwellspannung des betreffenden Transistors verringert sich proportional zur Drain-Source-Spannung. Modellmäßig läßt sich dieser Effekt durch die Punch-through-Konstante K4 beschreiben:

$$U_T = U_{TO} - K4\ U_{DS}$$

Die Konstante K4 wiederum wächst mit kürzer werdendem Kanal an:

$$K4 = K_{40} \cdot l_{eff}/(l + l).$$

Werden kurze Transfertransistoren benutzt, so ist deren Schwellspannungsverminderung durch K4 - und deren damit schlechteres Sperrverhalten - zu berücksichtigen!

III/15/4 1876 1877 1878 - 1879 1880 200,0 F/D 25657
59012 VV Freiberg Außenstelle Dresden Ag 307/75

Statische Dimensionierung

Für die statische Dimensionierung ist generell zu sichern, daß ein sicherer Lowpegel des betreffenden Gatters von $u_{aL} = U_T/2 = 0{,}3$ V ($T = 20^\circ C$) erreicht wird. Dieser Nachweis ist für jede Schaltung mittels STADYNET oder Klein-bzw. Tischrechnerprogramm zu erbringen.

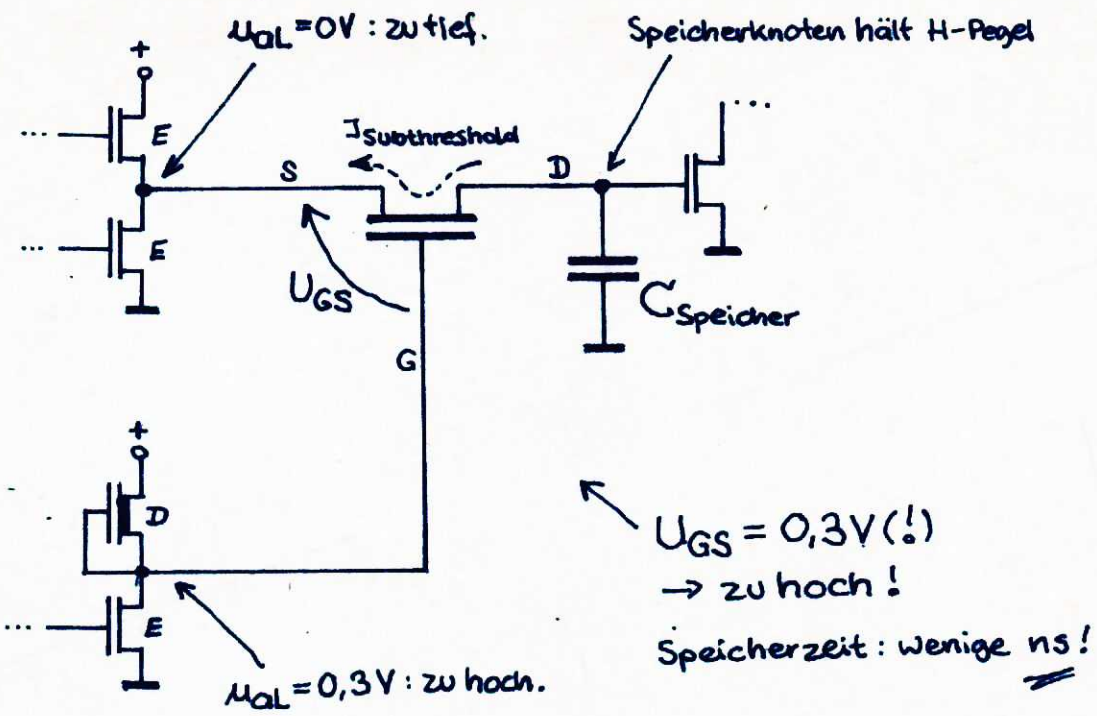
Werden lange, schmale Depletiontransistoren benutzt, ist zusätzlich der Nachweis zu erbringen, daß ein Highpegel von $u_{aH} = 0{,}8 \cdot V_{DD} = 4V$ (WC) erbracht wird, d. h. daß der Subthresholdstrom (verursacht durch den Punch-through-Stromanstieg bei großen U_{DS}) des Enhancementtransistors, der sich mit der u_{aL}-Spannung des Vorgängerelements einstellt, nicht größer als der durch den Depletiontransistor bei High-Pegel U_{aH} aufgebrachte Strom wird. Arbeitet das Gatter mit einem verminderten High-Pegel am Eingang (z. B. durch Transfertransistor bedingt), so ist die statische Dimensionierung für diesen High-Pegel vorzunehmen und nachzuweisen.

Dynamische Dimensionierung

Generell ist die dynamische Dimensionierung jeder Schaltung mindestens mit doppelter Sicherheit vorzunehmen, um Ausbeuteverluste durch Technologieschwankungen zu vermeiden. Dieser Nachweis ist durch die Netzwerkanalyse zu erbringen.

Werden dynamische Speicherstrukturen benutzt, z. B. Transfertransistoren, so ist nachzuweisen, daß der Subthresholdstrom des Transfertransistors addiert zum pn-Leckstrom im Temperaturbereich, unter Berücksichtigung einer Temperaturdrift der Schwellspannungen von - 1,5 mV/K ($+ 75$ mV $< \Delta U_T < - 150$ mV für $- 30^\circ C < T < + 120^\circ C$) mindestens auf zehnfach höhere Speicherzeiten, als benötigt, führt. Insbesondere sind Schaltungen gefährdet, bei denen das

III/15/4 1876 1877 1878 · 1879 1880 200,0 T/D 25657
59012 VV Freiberg Außenstelle Dresden Ag 307/75



Gate des Transfertransistors einen höheren Lowpegel als der Sourceanschluß (Eingang) besitzt (siehe Bild). Die im Bild gezeigte Schaltungsart sollte deshalb prinzipiell nur in flankengesteuerten Flip-Flop's, bei denen nur geringe Haltezeiten gefordert sind, benutzt werden, sie garantiert maximal Haltezeiten von einigen zehn Nanosekunden.

In Schaltungen, die einige Mikrosekunden lang dynamisch speichern, sind prinzipiell die Gates der Transfertransistoren durch EE-Treiber anzusteuern (Lowpegel minimal). Erst nach der für die Einstellung des Lowpegels notwendigen Zeit darf das Sourcepotential des Transfertransistors verändert werden!

Für Überschlagsrechnungen muß unter NC-Bedingungen mit einer Schwellspannung U_{Thin} von:

1) $U_T = U_{TO} - K_4 U_{DS}$ mit $K_4 = 0{,}073$; $0{,}6 < U_{TO} < 1{,}0$ V

$U_{T1} \approx U_{TO} - 365$ mV

bu.

III/15/4 1876 1877 1878 - 1879 1880 200,0 T/D 25657

59012 VV Freiberg Außenstelle Dresden Ag 307/75

2) $dU_T/dT = -1{,}5$ mV/K mit $dT = 100$ K

$U_{T2} = U_{T1} - 150$ mV

$\Rightarrow U_{Tmin} = U_{T0} - 450$ mV für $0{,}6 < U_{T0} < 1{,}0$ V

$U_{Tmin} = 0{,}13$ V (Worst Case) !

gerechnet werden. Unterhalb dieser Schwellspannung kann mit einem logarithmischen Absinken des Stroms pro 100 mV Gatespannungsverminderung von einer Zehnerpotenz gerechnet werden.

Sind im konkreten Fall Speicherzeiten von $t_s \geq 1$ ms gewünscht, resultiert für die Gatesourcespannung z. B. (unter Vernachlässigung des pn-Sperrstroms).

$t_s = 1$ ms (WC: $t_s = 10$ ms)

$$I_{max} = C \frac{dU}{dt} = C \frac{\Delta U}{\Delta t}$$

$C = 0{,}1$ pF, $\Delta U = 1$ V, $t = 10$ ms

$$\begin{cases} I_{max} = 0{,}1 \text{ pF} \cdot 1 \text{ V}/ 0{,}01 \text{ s} \leq 10 \text{ pA} \\ I_{DS} \ (U_{DS} = 5 \text{ V}, U_{GS} = 0{,}13 \text{ V}, B = 2 \text{ Lambda}) = 0{,}25 \ \mu\text{A} \end{cases}$$

!

$U_{GSmax} \leq -0{,}4$ V (fünf Zehnerpotenzen im Strom!)

Dies ist nur dadurch zu erreichen, daß der Sourceeingang des Transfertransistors um U_{GSmax} positiver als der Gateknoten bleibt. Der Sourceeingang sollte deshalb mit einem ED - Inverter angesteuert werden. Dieselbe Betrachtung läßt sich auch für den Fall durchführen, daß der Speicherknoten Lowpegel speichern soll, und am Sourceeingang des Transfertransistors Highpegel anliegt. Dann stellt sich der Ladeknoten auf eine um U_{GSmax} höhere Spannung als das Gate des Transfertransistors ein. In diesem Fall muß gesichert werden, daß der auf den Transfertransistor folgende

59012 VV Freiberg Außenstelle Dresden Ag 307/75 III/15/4 1876 1877 1878 - 1879 1880 200,0 T/D 25657

Transistor keinen Highpegel erkennt. Das ist nur möglich, wenn das Gate des Transfertransistors auf <u>null</u> Volt liegt. Damit ist es vorteilhaft, das <u>Gate</u> mit einem <u>EE-Treiber</u> anzusteuern:

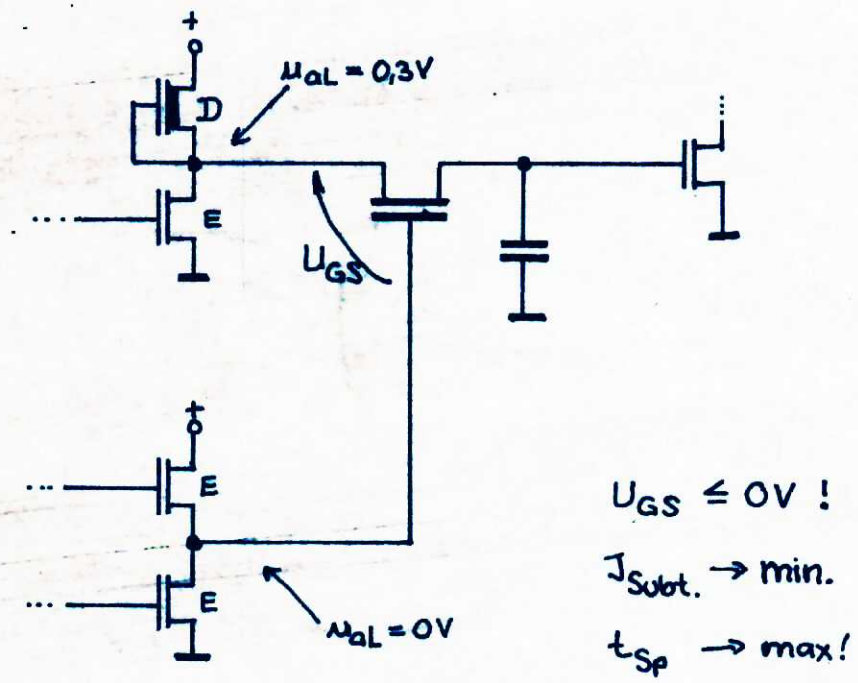
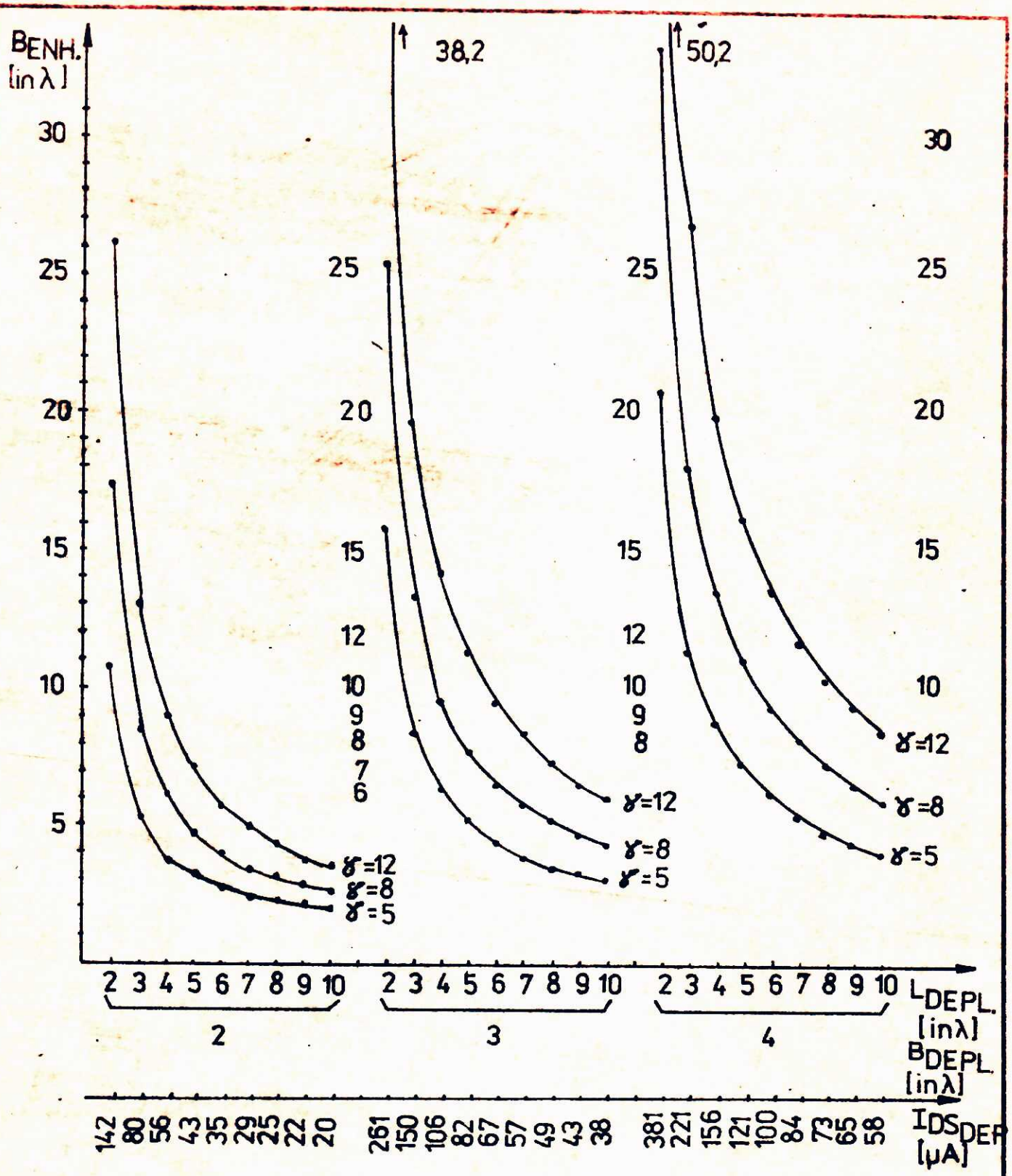


Bild: Vorteilhafte Ansteuerung eines dynamischen Langzeit (1ms) - Speichers.

III/15/4 1876 1877 1878 - 1879 1880 200,0 T / D 25657
59012 VV Freiberg Außenstelle Dresden Ag 307/75



STAND 1.2.83

$$\gamma = \left(\frac{b}{l}\right)_E \cdot \left(\frac{l}{b}\right)_D \qquad \begin{cases} b = \lambda B\lambda - 0{,}6\,\mu m \pm 1\,\mu m \\ l = \lambda L\lambda - 1{,}0\,\mu m \pm 1\,\mu m \end{cases}$$

$$B_{E\lambda} = {}^{1}/_{\lambda}\,(\gamma(\lambda L_E + \Delta y)\,(\lambda B_D + \Delta x)/(\lambda L_D + \Delta z)$$

Anlage 1: Worst-case-Dimensionierungsblatt nSGT 25

verw. Programme: •WC-Analyse MK 18 A,B
•Depl-Trans. MK4A, MK5A,B

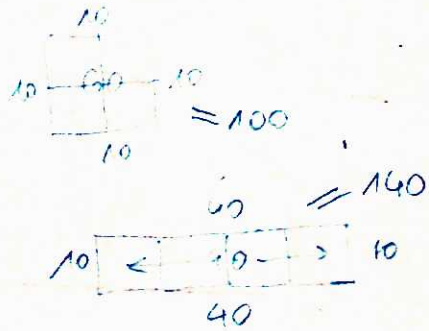
λII/15/4 1876 1877 1878 1879 1880 260,0 T / D 25657
5 5012 VV Freiberg Außenstelle Dresden Ag 307/75

III/15/4 1876 1877 1878 1879 1880 200.0 T/D 25057

Anlage 2:

Lambda - Kapazitätswerte

Kapazität	Ebenen	Dicke (nm)	Wert (pF/mm^2)	C_0 (fF) für 2x2 λ^2
Gatekapazität	A - B	70	500	10
Poly - Substrat	B	700	50	1
Alu - Substrat	D	1 700	20	1 (4x4 λ^2)
Alu - n^+	D - A	700	50	2,5 (4x4 λ^2)
Alu - Poly	D - B	700	50	1
Sperrschicht	A	~~250~~?	60	1,2
Sperrschicht - Rand	A	—	? 10 pF/mm	



Kontakt- und Schichtwiderstände

Polysil - Schicht	40	Ohm/□
n^+ - Schicht	25	Ohm/□
Alu - Schicht	0,1	Ohm/□
Alu - n^+ - Kontakt	50	Ohm
Alu - Poly - Kontakt	50	Ohm
Poly - n^+ - Kontakt	100	Ohm

Strombelastbarkeit

Alu - Schicht ($10^3 A/mm^2$) 2 mA/λ ($\triangleq$ 0,1 W/mm^2)
n^+ - Schicht ($10 W/mm^2$) 1,2 mA/λ
Poly - Schicht ($1 W/mm^2$) 0,3 mA/λ
C,K - Kontakt ($10 W/mm^2$) 1,8 mA pro Kontakt (2x2)λ^2
F - Kontakt ($10 W/mm^2$) 1,2 mA pro Kontakt (2x2)λ^2

Flächenleistungsdichten
n^+ - Schicht ($10 W/mm^2$) 40 $\mu W/\lambda^2$ (Einzelstrom: 2mA/λ^2, 10x10 μm^2 → 20W/mm²)
Alu ($10^3 A/mm^2$) 0,4 $\mu W/\lambda^2$ ($R = 0{,}1\,\Omega/\square$; $J = \frac{2mA}{\lambda}$)

VVB Freiberg Außenstelle Dresden Ag 307/75

Anlage 3:

Entwurfsregeln nSGT-25 (µm - Fassung)

KULON:	Ebenen:	Reihenfolge:
rot 1	A: aktives Gebiet	A-G-N-F-B-K-C-D-E
grün 4	B: Polysil	
schw. 5	K: K-Fenster	Hilfsebenen:
schw. 5	C: C-Fenster	
schw. 6	D: Alu	60 Zellrand
blau 8	E: Passivierung	69 Zellname und Singer Anschl.
grün 3	F: F-Fenster	70 Bangr. rand
blau 7	G: Depletion	79 Bangr. anschl.
rot 2	N: Enhancement (entfällt bei K-Fenster)	80 Schaltkreisrand
		89 Bondschema

Bezeichnung	Regel	Maß (µm)	Reserven	(λ=2um) nλ + WZ	Bemerkungen
A1	Breite n^+-Bahn	5		2 + 0,5	
A2	Breite Trans.-kanal	5		2 + 0,5	
A3	Abstand n^+ - Gebiete	3		2 - 0,5	
B1	Breite Polygate	5		2 + 0,5	
B2	Breite Poly - Bahn	5		2 + o,5	
B3	Abstand Poly - Bahn	3		2 - 0,5	
K1	Breite K-Fenster	4		2	
C1	Breite C-Fenster	4		2	
D1	Breite Alu-Bahn	8		4	Aluraster 5
D2	Abstand Alu - Bahn	3	+ 4µ	2	Aluraster 5
AB1	Gate-Überlappung	4		2	
AB2	Abstand Gate - Tr.rand	4		2	
AB3	Abst. n^+ - Geb. - Poly	0	+ 1µ	1 (0λ)	
AB4	Überl. A - B am Si - Si - Kontakt	6		3	
AK1	Überl. n^+ - Geb. über K-Fenster	1	+ 1,5µ	1	n^+ wird um o,5 aufgeweitet
AK2	Abst. A - K - Fenster auf Poly	3	+ 0,5µ	2	n^+ wird um 0,5 aufgeweitet
AF1	Überl. F über A am Si - Si - Kontakt	0		= 0	F wird um o,5 aufgeweitet
AF2	Abst. F - Fenster zum benachbarten n^+ - Geb.	3		2	n^+ wird um 0,5 aufgeweitet

III/13/4 1876 1877 1878 1879 1880 200,01/D 25 637
5001.2 VV Freiberg Außenstelle Dresden Ag 307/75

Bezeichnung	Regel	Maß (µm)	Reserven	(λ=2um) nλ +Δ	Bemerkung
AG1	Überl. G-Fenster über Transistor	2		1	
AG2	Abst. G-Fenster zu benachb. Transistor	3		2	
AN1	Überl. N-Fenster über Transistor	2		1	
AN 2	Abst. N-Fenster zu benachb. Transistor	2	+ 1 µ	2	
BK1	Überl. B über K	1		1	
BK2	Abst. B zu n^+ - Kont.	3		2	n^+ und Poly sind je um o,5 aufgeweitet
BF1	Überl. F über eff. Si - Si - Kontakt	2		1	
BF2	Abst. F zu benachb. Gate	3		2	
BF3	Überl. B über F am Depl.-Trans.	12		6	
BF4	Überl. F über B am Si - Si - Kontakt	5		3	
BG1	Überl. G über Trans.	2			
BG2	Abst. G zu benachb. Gate	2	1 µ	2	
BN1	Überl. N über Trans.	2			
BN2	Abst. N zu benachb. Gate	3		2	
CD1	Überl. D über C - F	4(2)		2	
KC1	Überl. C über K - F	0		0	
FG1	Überl. F über G am Depl.-Trans.	2			
DE1	Überl. D über E - F	12		6	
D3	Bondinselgröße	120 x 120 µ²		60x60 λ²	
D4	Abst. HI von Schaltg.	40		20	

III/15/4 1876 1877 1878 - 1879 1880 200.0 T/D 25657
59012 VV Freiberg Außenstelle Dresden Ag 307/75