

WP G 01R / 336 482 2

angef. : 27.12.89

P a t e n t a n m e l d u n g

Bezeichnung: Pfadflipflop für asynchrone Anwendungen

Erfinder: Dr.-Ing. Gerd Heinz

Zustellungsbevollmächtigter:

Akademie der Wissenschaften der DDR
Zentralinstitut für Kybernetik und
Informationsprozesse
Büro für Patent- und Neuererwesen
Kurststraße 33, Berlin, 1086

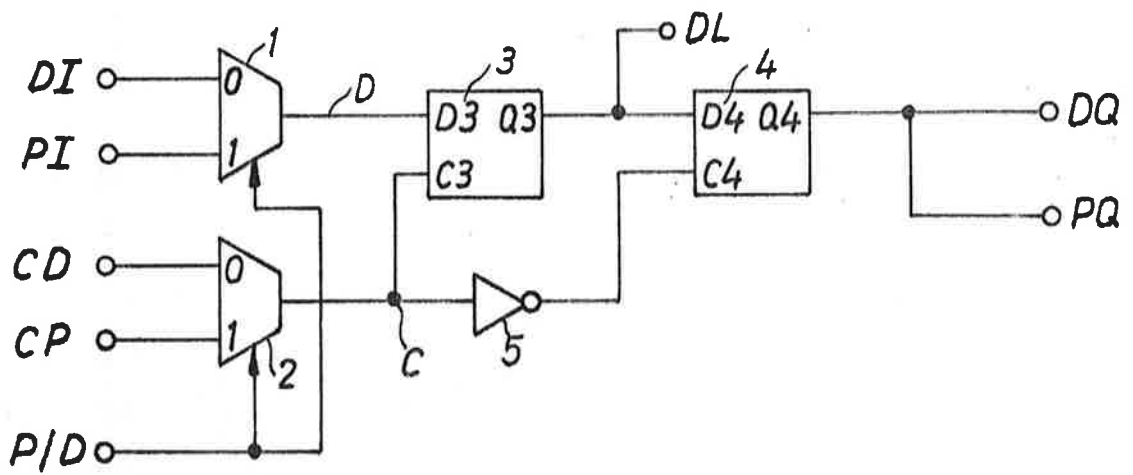


Fig. 1

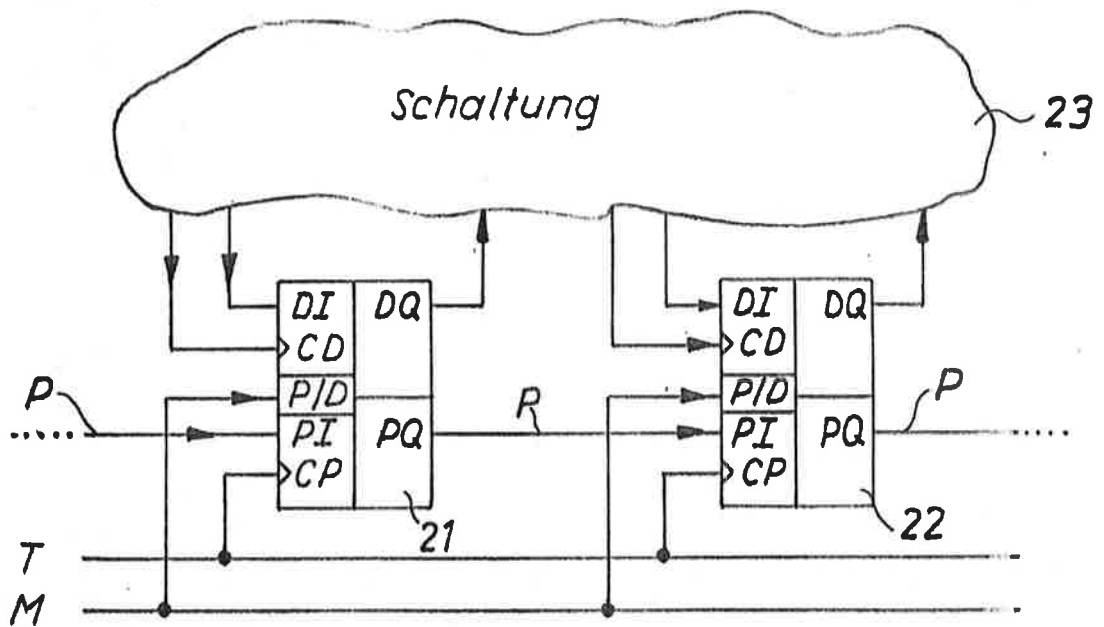


Fig. 2

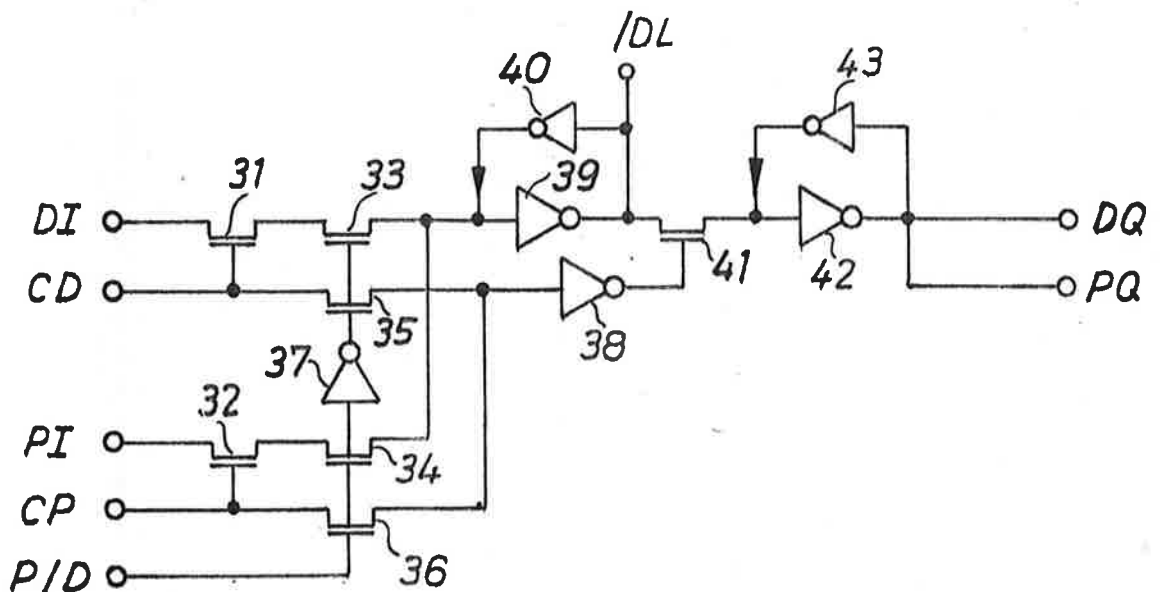


Fig. 3

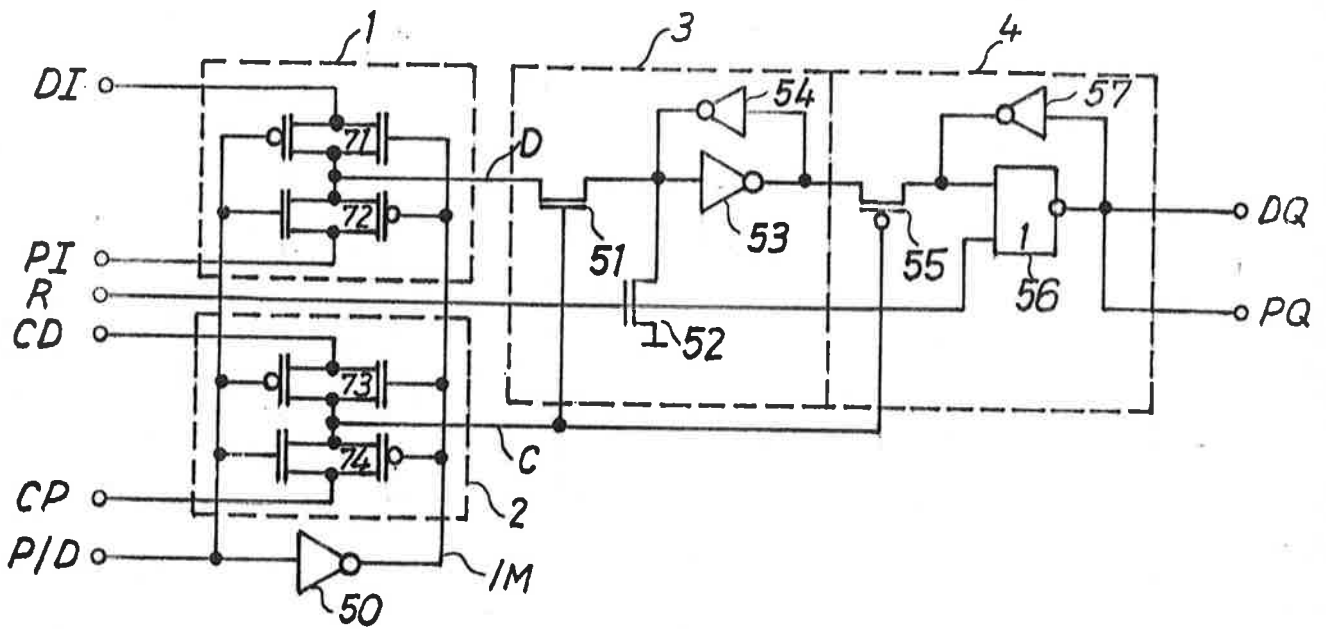


Fig. 4

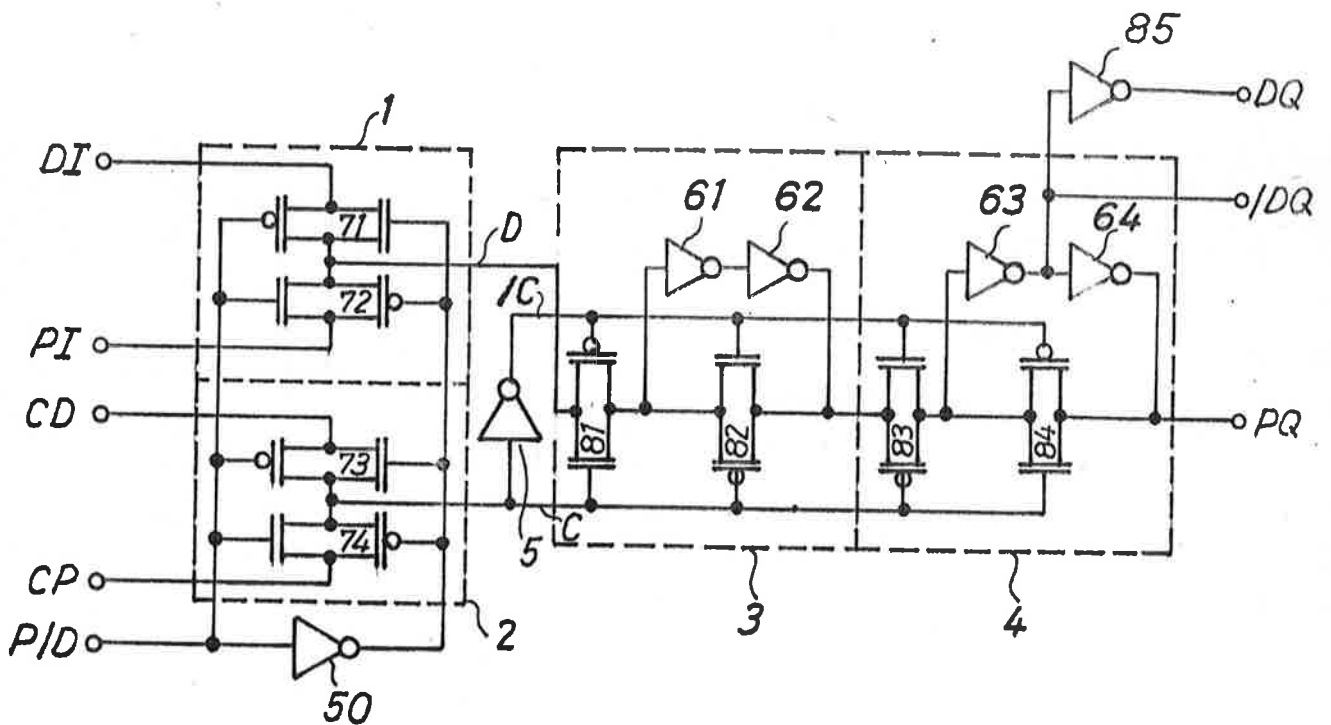


Fig. 5

Pfadflipflop für asynchrone Anwendungen

Anwendungsgebiet der Erfindung

Die Erfindung betrifft ein Pfadflipflop für asynchrone Anwendungen zur Verwendung in MOS-Schaltkreisen mit Testpfad- (Abtastpfad; Scan-Path; LSSD-)architektur.

Charakteristik des bekannten Standes der Technik

Es sind verschiedene Pfadflipflop-Realisierungen bekannt, vgl. G 01 R 31/28 DE-OS 3725823, Fig. 12; DE-OS 3817143, Fig. 6; DE-OS 3838939, Fig. 2; DE-OS 3743586, Fig. 1; DE-OS 2349324; DE-OS 2346617; DE-OS 2723594; G 06 F 11/22 EP-PS 0010599, H 03 K 19/20 DD-PS 252491.

Allen Realisierungen ist gemein, daß durch die Zweitfunktion des Pfadflipflops als Schieberegister eine Taktbarkeit bei Anwendung eines Flipflops im Datenmode in voll asynchronen Systemen nicht oder schwer möglich ist.

Es ist keine Schaltung eines Testpfadflipflops bekannt, mit der auf direktem Wege z.B. ein asynchroner Zähler oder Teiler aufbau- bar wäre, bei dem der Datentaktingang zu Testbeginn auf statisch hohem (aktivem) Potential stehen bleiben kann.

Ziel der Erfindung

Ziel der Erfindung ist es, ein Pfadflipflop für asynchrone Anwen- dungen anzugeben, das direkt zur Realisierung von asynchronen Zählern und Teilern, aber auch in Pipeline-Systemen oder in Synchronstufen mit Phasenspiel eingesetzt werden kann.

Darlegung des Wesens der Erfindung

Der Erfindung liegt die Aufgabe zugrunde, ein Pfadflipflop für asynchrone Anwendungen anzugeben, das über zwei gleichartige Dateneingänge und zwei zugehörige Takteingänge verfügt, die völlig unabhängig voneinander betreibbar sind, und das über einen

Modeumschalter verfügt, an welchem ausgewählt werden kann, welcher der Eingänge benutzt werden soll.

Erfindungsgemäß wird diese Aufgabe dadurch gelöst, daß in den Takteingang eines herkömmlichen Schieberegister-Flipflops ein Taktmultiplexer geschaltet wird, mit dem es möglich wird, zwischen Pfadtakt und Datentakt auszuwählen. Dieser Taktmultiplexer wird mit demselben Modeumschaltsignal angesteuert, mit dem ein üblicher Datenmultiplexer betrieben wird, der den Dateneingang des Flipflops zwischen Dateneingang und Pfadeneingang umschaltet.

In einer vorteilhaften Ausführung bilden Takt- und Datenmultiplexer mit dem ersten Latch des D-Flipflops eine untrennbare Einheit.

Bei einer weiteren vorteilhaften Auskleidung ist vor den Dateneingang ein von den Datenausgängen gesteuerter dritter Multiplexer geschaltet, an dessen Eingängen geeignete Kombinationsgatter zur Bildung eines JK-Flipflops geschaltet sind.

Der Taktmultiplexer kann mit einzelnen Transferelementen, mit komplementären Transferelementpaaren oder mit C^2 MOS-Gattern ausgeführt werden.

Ausführungsbeispiele

Die Erfindung wird an fünf Ausführungsbeispielen erläutert. Die Zeichnungen zeigen dabei:

Fig. 1: das Prinzipschaltbild der erfindungsgemäßen Lösung;

Fig. 2: eine Applikation der erfindungsgemäßen Lösung;

Fig. 3: eine für CMOS- und NMOS-Realisierungen geeignete Schaltungsausführung der erfindungsgemäßen Lösung;

Fig. 4: eine CMOS-Schaltungsausführung der erfindungsgemäßen Lösung;

Fig. 5: eine weitere CMOS-Schaltungsausführung der erfindungsgemäßen Lösung.

An einen Datenmultiplexer 1 (Fig. 1) ist der Dateneingang DI und der Pfadeingang PI angeschlossen. Ein Taktmultiplexer 2 mit den Eingängen für Datentakt CD und Pfadtakt CP wird parallel zum Datenmultiplexer 1 durch das Modeumschaltsignal P/D angesteuert. Ein D-Master-Slave-Flipflop wird aus einem ersten Latch 3 und einem zweiten Latch 4 gebildet. Der Ausgang des Datenmultiplexers 1 führt an den Dateneingang D3 des ersten Latches 3. Der Ausgang des Taktmultiplexers 2 führt an den Eingang C3 des ersten Latches 3 sowie an den Eingang eines Inverters 5. Der Ausgang des Inverters 5 führt an den Takteingang C4 des zweiten Latches 4. Der Datenausgang Q3 des ersten Latches 3 führt an einen Schaltungsausgang DL sowie an den Eingang D4 des zweiten Latches 4. Der Ausgang Q4 des zweiten Latches 4 ist zugleich Datenausgang DQ sowie Pfadausgang PQ des so gebildeten Pfadflipflops. Die Kombination und Zusammenschaltung der Elemente 3, 4, 5 symbolisiert ein D-Master-Slave-Flipflop.

Das Pfadflipflop kann im Datenmode ($P/D=0$) als Latch mit dem Datenausgang DL (bzw. /DL Fig. 3) benutzt werden. Soll es als flankengetriggertes D-Flipflop wirken, wird der Datenausgang DQ genutzt. Im Schieberegistermode ($P/D=1$) arbeitet das Pfadflipflop generell als flankengetriggertes Flipflop mit dem Pfadausgang PQ. Die Ausgänge PQ und DQ arbeiten ihrer logischen Funktion nach parallelgeschaltet, können aber elektrisch durch Treiberschaltungen getrennt sein.

In voll asynchronen Anwendungen ist zu beachten, daß bei einer Modeumschaltung mit P/D (Wechsel der Takteingänge von $CD=1$ nach $CP=0$) kein Datenverlust eintritt. Der Pfadtakteingang CP muß deshalb vor der Modeumschaltung mit P/D auf den Pegel gebracht werden, der Datenverlust im Moment der Umschaltung verhindert. I.a. ist er auf den Pegel zu bringen, der zeitlich direkt vor der Übernahmeflanke des D-Flipflops liegt.

Fig. 2 zeigt eine Anwendung von Pfadflipflops in einer typischen Außenbeschaltung. Es existiert ein Testpfad P, der seriell durch

beide Flipflops 21 und 22 führt. Beide Flipflops werden von einem identischen Modesteuersignal M und einem identischen Pfadtakt T im Testmode $M=1$ angesteuert. Der im Datenmode $M=0$ wirksame Teil der Flipflops 21, 22 mit dem Dateneingang DI, dem Takteingang CI sowie dem Datenausgang DQ bzw. dem Latchausgang DL (in Fig. 2 nicht dargestellt) arbeitet völlig unabhängig vom Pfadteil der Flipflops 21, 22 mit der Anwenderschaltung 23 zusammen. Daten- und Datentakteingang DI und CD können bei Umschaltung vom Daten- in den Testmode $M=0 \rightarrow 1$ beliebiges Potential aufweisen, sofern der Pfadtakteingang CP im Umschaltmoment hohes Potential $CP=1$ trägt. Die Rückschaltung in den Datenmode ist bei $CP=0$ vorzunehmen, um Datenverlust bei folgendem $CD=0$ auszuschließen, sofern ein D-Flipflop benutzt wird, das die Daten DI auf der 1-0-Flanke der Takte CD und CP übernimmt.

Fig. 3 zeigt eine praktikable Schaltungsausführung des Pfadflipflops.

Der Datenmultiplexer 1 nach Fig. 1 wird aus den Transistoren 33 und 34 gebildet, der Taktmultiplexer 2 nach Fig. 1 besteht aus den Transistoren 35 und 36. Ein Inverter 37 sorgt für die in beiden Multiplexern benötigte Inversion des Modeumschaltsignals P/D. Das erste Latch nach Fig. 1 wird aus den Transistoren 31; 32 sowie den Invertern 39 und 40 gebildet. Der Inverter 38 entspricht dem Inverter 5 nach Fig. 1. Das nach Fig. 1 zweite Latch wird aus dem Transistor 41 sowie den Invertern 42 und 43 gebildet. Der Ausgang des Inverters 39 stellt zugleich einen (invertierenden) Latchausgang für Daten /DL dar. Der Ausgang des Inverters 42 stellt den Flipflop-Datenausgang DQ sowie den Pfadausgang PQ dar.

Fig. 4 zeigt eine weitere Schaltungsausführung in CMOS.

Der Datenmultiplexer 1 besteht aus den Transferegatepaaren 71 und 72, der Taktmultiplexer 2 besteht aus den Transferegatepaaren 73 und 74. Ein Inverter 50 stellt für beide Multiplexer ein negiertes Modeumschaltsignal /M bereit. Der Datenausgang des ersten Multiplexers 1 ist mit dem Dateneingangstransferegate 51 eines aus den Elementen 3 und 4 gebildeten D-Master-Slave-Flipflops verbun-

den. Die Ausbildung des D-Master-Slave-Flipflops 3, 4 weist die Besonderheit auf, daß die p-Kanal-Ausführung des Slave-Latches 4 einen Taktinverter (5 nach Fig. 1) erspart. Master 3 und Slave 4 sind rücksetzbar ausgeführt.

Fig. 5 zeigt eine weitere Ausführung der Prinzipschaltung nach Fig. 1. Daten- und Taktmultiplexer 1; 2 sind mit den Daten-D- und Takt-C-Eingängen eines aus den Elementen 3, 4, 85 gebildeten herkömmlichen D-Master-Slave-Flipflops verbunden. Ein Inverter 5 stellt für Masterlatch 3 sowie für Slavelatch 4 ein negiertes Taktsignal \bar{C} bereit. Ein am negierten Datenausgang \bar{DQ} angeschlossener Inverter 85 stellt das Datenausgangssignal DQ bereit. Damit wird gewährleistet, daß die Funktion des gesamten Pfadflipflops mit Ausnahme des Inverters 85 über den Pfadausgang PQ beobachtbar ist.

Patentansprüche

1. Pfadflipflop für asynchrone Anwendungen mit D-Flipflop, bestehend aus einem ersten und einem zweiten Latch (3; 4) und mit an einen Dateneingang des D-Flipflops eingeschlossenem Datenmultiplexer (1), dadurch gekennzeichnet, daß mindestens zwei Eingänge für Datentakt (CD) und Pfadtakt (CP) existieren, die an einen Taktmultiplexer (2) angeschlossen sind, dessen Ausgang mit mindestens einem Takteingang des D-Flipflops verbunden ist, wobei die Steuereingänge beider Multiplexer an einen Eingang für das Modeumschaltsignal (P/D) geführt sind.
2. Pfadflipflop nach Anspruch 1, dadurch gekennzeichnet, daß der Taktmultiplexer (2) mit einzelnen Transferelementen, mit komplementären Transferelementpaaren oder mit CMOS-Gattern ausgeführt ist.
3. Pfadflipflop nach Anspruch 1, dadurch gekennzeichnet, daß Daten- und Taktmultiplexer (1; 2) mit dem ersten Latch (3) des D-Flipflops eine untrennbare Einheit bilden.
4. Pfadflipflop nach Anspruch 1, dadurch gekennzeichnet, daß vor den Dateneingang (DI) ein von den Datenausgängen (DQ, /DQ) gesteuerter dritter Multiplexer geschaltet wird, an dessen Eingängen geeignete Kombinationsgatter zur Bildung eines JK-Flipflops geschaltet sind.

Hierzu 2 Blatt Zeichnungen.

Zusammenfassung

Pfadflipflop für asynchrone Anwendungen

Pfadflipflop, asynchrone Anwendung, Testpfadarchitektur, zwei Takteingänge

Die Erfindung betrifft ein Pfadflipflop für asynchrone Anwendungen für den Einsatz in MOS-Schaltkreisen mit Testpfadarchitektur. Ziel der Erfindung ist die Realisierung von asynchronen Zählern und Teilern sowie von Pipeline-Systemen oder Synchronstufen mit Phasenspiel unter Verwendung eines D-Flipflops, bestehend aus einem ersten und einem zweiten Latch, und mit einem an einen Dateneingang des D-Flipflops angeschlossenen Datenmultiplexer. Erfindungsgemäß existieren mindestens zwei Eingänge für Datentakt und Pfadtakt, die an einen Taktmultiplexer angeschlossen sind. Der Ausgang des Taktmultiplexers ist mit mindestens einem Takteingang des D-Flipflops verbunden, wobei die Steuereingänge beider Multiplexer durch ein Modeumschaltsignal angesteuert werden. (Fig. 1)

B e r i c h t

über das Ergebnis der Prüfung auf Schutzfähigkeit und Auswertung
der technisch-ökonomischen Effektivität

Geprüft wurden:

Klassifikation	DD AT:	DE AT:	EPO/PCT AT:	US AT:
G 01 R 31/00	5103 28.08.52	1160493 18.12.62	-	-
	214697 12.04.83	3741734 09.12.87	-	-
G 01 R 31/28	16363 19.01.56	1516941 21.06.66	-	3.452,280 24.06.69
	271409 04.04.88	3902161 25.01.89	-	4,852,094 10.11.87
G 06 F 11/00	34729 15.07.64	1449389 21.12.63	EP0006310 10.06.78	-
	273326 04.06.87	3811658 07.04.88	WO 87/070 29.04.87	-
G 06 F 11/22	142613 23.03.79	1958747 22.11.69	EP0010599 02.10.78	-
	259268 30.03.87	3805391 20.02.88	WO83/03488 30.03.82	-
G 11 C 19/00	26684 02.08.60	1272373 30.08.63	-	-

	269765	3806366	-	-
	01.10.85	27.02.88	-	-
<hr/>				
G 11 C 19/28	138252	1474388	-	-
	09.06.78	12.10.65	-	-
	270992	3718469	-	-
	22.02.88	02.06.87	-	-
<hr/>				
G 11 C 11/34	82148	1474409	-	3,488.636
	04.03.70	05.10.65	-	22.08.66
	251848	3841588	-	4,837,742
	31.07.86	09.12.88	-	04.04.86
<hr/>				
H 03 K 3/02	26118	-	-	-
	13.06.59	-	-	-
	247979	-	-	-
	22.05.80	-	-	-
<hr/>				
H 03 K 3/023	160351	-	-	-
	02.11.82	-	-	-
	238495	-	-	-
	14.06.85	-	-	-
<hr/>				
H 03 K 37289				
<hr/>				

H 03 K 9/027	230685	-	-	-
	19.11.82	-	-	-
	230685	-	-	-
	19.11.82	-	-	-
<hr/>				
H 03 K 19/094	235146	1942420	-	-
	04.03.85	20.08.69	-	-
	273343	3823738	-	-
	01.07.87	13.07.88	-	-
<hr/>				
H 03 k 19/096	256442	2141915	-	-
	06.01.86	20.08.71	-	-
	256442	3123504	-	-
	06.01.86	13.06.81	-	-
<hr/>				
H 03 K 19/20	30605	1299705	-	-
	07.03.62	01.08.67	-	-
	252491	3813427	-	-
	07.08.86	18.04.88	-	-
<hr/>				
H 03 K 19/21	270195	2165162	-	-
	16.03.88	28.12.71	-	-
	270195	3840540	-	-
	16.03.88	01.12.88	-	-
<hr/>				
H 03 M 13/00	-	-	EP0131217	-
	-	-	30.06.83	-
	-	-	W086/03911	-
	-	-	19.12.85	-
<hr/>				

И 03 К 5/135

2261852

15.12.72

3826717

05.08.88

Es wurden keine die Schutzfähigkeit einschränkenden Veröffentlichungen ermittelt.

Mit der Anwendung des Patents vorrangig in anwendungsspezifischen Schaltkreisen (ASIC) wird es möglich, dem Anwender zu gestatten, völlig asynchrone Schaltungstechniken anzuwenden. Damit erweitert sich die Einsatzbreite von ASIC-Schaltkreisen beträchtlich.



Zier

Ltr. des Büros für
Pat.- und Neuerwesen