

SICAN-TK
Dr. Heinz
24.4.1991

Anmerkung zur dynamischen Verlustleistung von CMOS- Gattern

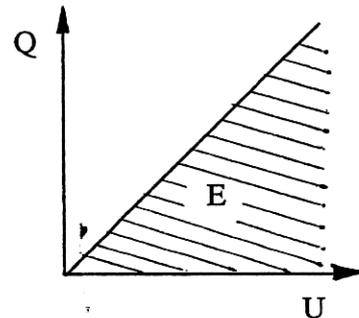
Eine Analyse des IO- Prozessors (330 000 Transistoren, 20 000 Gatter, 1.2 μm) zeigt dynamische Verlustleistungsprobleme auf. Als typische Lastkapazität wird bei einem Fanout von 3 und einem Millimeter Leitbahn in einer 1.2 μm Technologie realistisch 1pF angenommen. Der Signalhub soll mit $U = 5$ Volt angenommen werden.

Energiebilanz am Kondensator

Ladung mit einem Konstantstrom I vorausgesetzt wird die Energie E in den Kondensator C gebracht:

$$E = \int Q \, dU = \int C U \, dU = 1/2 C U^2$$

zB. $C = 1 \text{ pF}, U = 5\text{V}:$
 $E = 12.5 \text{ pWs (pro Flanke)}$



Dynamische Scheinleistung einer Knotenkapazität

Eine mit der Frequenz $f = 1/t$ pro Takt zweifach geschaltete Kapazität C (HL- und LH-Flanke) verbraucht die Scheinleistung P

$$P = 2 E / t = 2 f (1/2 C U^2) = f C U^2$$

zB. $f = 30 \text{ MHz}, C = 1 \text{ pF}, U = 5\text{V}:$
 $P = 750 \text{ } \mu\text{W (pro Knoten bei 30 MHz)}$

Leistung pro Megahertz Schaltfrequenz

$$P / \text{MHz} = 1 \text{ MHz } C U^2 / \text{MHz}$$

zB. $C = 1 \text{ pF}, U = 5\text{V}:$
 $P / \text{MHz} = 25 \text{ } \mu\text{W} / \text{MHz}$

Bezug zur im Gatter umgesetzten Leistung

Ein von Sierra Semiconductors /1/ ausgewiesenes Gatter ND02D1 (2-fach NAND, 1.5 μm Technologie) setzt *im Gatter* bei einer Eingangskapazität von 0.1 pF $4 \mu\text{W pro Megahertz}$ um. Leider fehlt eine Angabe, bei welcher Lastkapazität dieser Wert ermittelt wurde.

Literatur:

/1/ Sierra Sem., '1.5 Micron Triple Technology Standard Cell Data Book', 1988, S.562