

# Unterlagen und Erklärungen zum Antrag

## Vorhabensbeschreibung

Titel des Vorhabens

### **Digitaler Signalprozessor für systolische Interferenz-Faltung in Echtzeit**

Kurzbezeichnung: FAST

Reg. Nr. 569/96

## Gesamtziel

Eine Grundfrage der Einführung interferenzieller Verfahren der Bildgewinnung aus Laufzeiträumen (neuronal, akustisch, sonar) mittels Computerberechnung besteht im immensen Rechenaufwand. Parallelrechner zur Faltungsbeschleunigung sind zwar schnell, im Verhältnis Preis zu Geschwindigkeit für Breitenanwendungen aber oft zu teuer. Da die Faltung selbst aus vergleichsweise einfachen Operationen besteht, soll im Projekt ein Faltungsprozessor geschaffen werden, mit dem erste, bedingt *echtzeitfähige Interferenz-Meßgeräte* zur Verfügung stehen.

a)

b)

**Abb. 1: Kanaldatenauszug (a) und achtkanalige Interferenzaufnahme (b) eines Lautsprechers (maßstäblich). Der Lautsprecher liegt auf dem Fußboden. Die Mikrofone sind an der Decke (Höhe 2.60 m) in einem Quadrat von 2x2 m befestigt**

Aufbauend auf die mit der jetzigen Generation von Rechentechnik prinzipielle Realisierbarkeit der Rückfaltung von *stehenden Bildern* aus Kanaldaten aus Laufzeiträumen, die in den Vorläuferprojekten NEURO3D und PSI demonstriert wurde, wird das Ziel verfolgt, eine neuartige Technologie der Generierung von *bewegten Bildfolgen* aus Laufzeiträumen zu entwickeln, die in verschiedenen Bereichen der Wirtschaft und Wissenschaft von Interesse ist.

Die Einführbarkeit neuer Verfahren und Technologien ist stets an Schlüsselgeräte (Werkzeuge, Meßinstrumente) gebunden. Mit dem Projekt soll der Prototyp eines Meßinstruments geschaffen werden, mit dem niederfrequente Kanaldaten (akustische,

neuronal) im Schnellverfahren visuell auf ihre Interferenzqualität untersucht werden können.

Damit würde dem Bereich neurologischer Medizin ein Meßgerät zur Verfügung gestellt werden können, mit dem erstmals direkt nervale Funktionen beobachtbar wären. Über mehrkanalig aufgenommene Kanaldaten sind unmittelbar Quellorte neuronaler Information beobachtbar, die dem Beobachter nicht direkt zugänglich sind. Im Bereich der Ultraschall-Sonographie kann das Gerät zur Echtzeit-Berechnung von mehrkanalig aufgenommenen Ultraschallbildern angewandt werden, sofern der Datenstrom auf das Rechenvermögen des Prozessors umgesetzt wird.

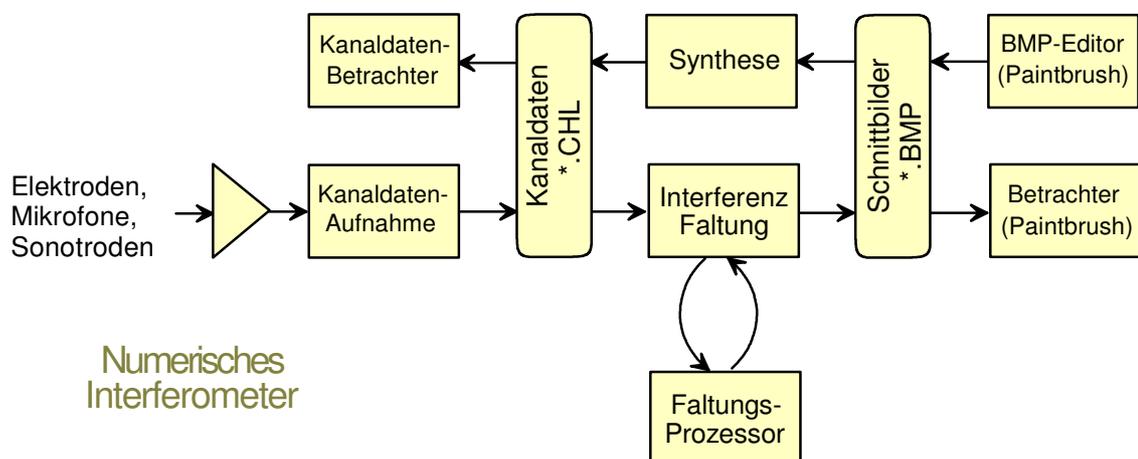
Das zu entwickelnde Verfahren basiert auf der Interferenz-Transformation nach Heinz (IT, Anlage 2), die als allgemeine Darstellung von Abbildungen in Laufzeiträumen neuronaler, optischer, elektrischer, akustischer oder anderer Art angesehen werden kann.

Mit dem Projekt soll es ermöglicht werden, mit einer *Abtastrate von bis etwa 12 kHz* abgehörte Kanäle aus Laufzeiträumen in Echtzeit in bewegte Bildsequenzen begrenzter *Auflösung von ca. 100\*100 Pixel* umzurechnen.

In einer spezifischen Ausprägung soll das Verfahren angewandt werden, um bewegte, neuronale Abbildungen bildlich und in Echtzeit darzustellen.

Im Vorläuferprojekt NEURO3D und PSI wurden grundsätzliche Untersuchungen geführt, die zeigen, daß die Rückfaltung von Laufzeiträumen per Computer heute möglich und sinnvoll ist.

Das Grundprinzip interferenzieller Faltung von Laufzeiträumen ist anhand des Ortungsprinzips der Fledermaus vereinfacht dargestellt. Dort erfolgt eine Abbildung eines akustischen Laufzeitraumes auf einen neuronalen Laufzeitraum (siehe unten). Im Projekt ist der neuronale Laufzeitraum als spezielle Hardware im Computer zu realisieren.



**Abb. 2: Zur Einordnung des Faltungsprozessors aus Sicht der Datenschnittstellen**

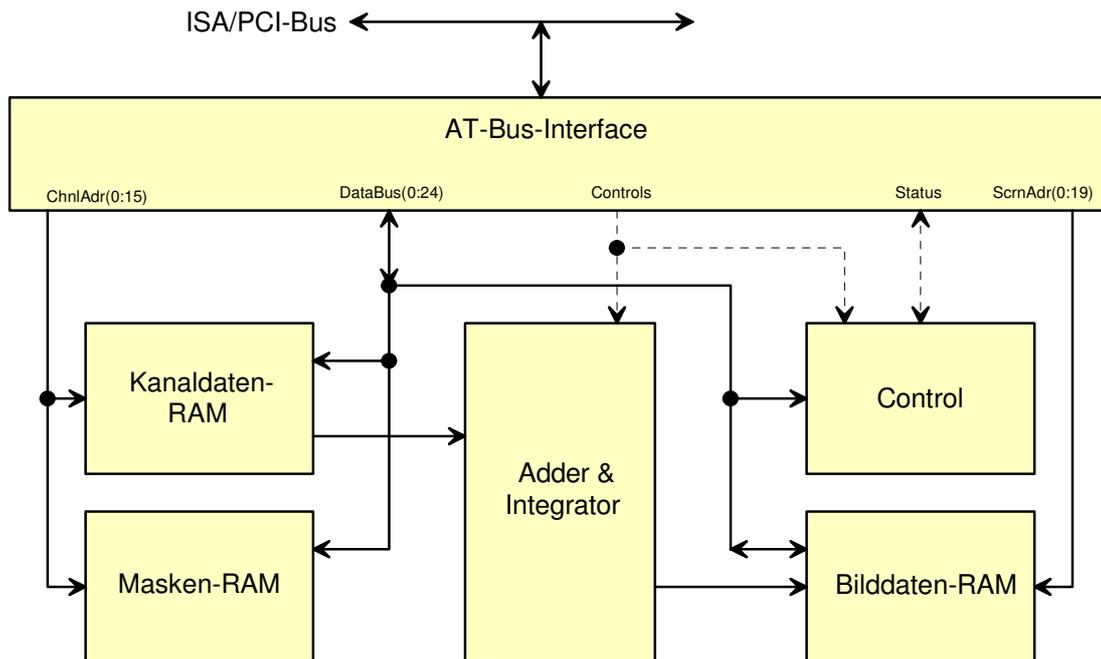
Es ist ein Verfahren und darauf aufbauend ein Prototyp als PC-Erweiterung zu entwickeln, mit dem Interferenzbilder begrenzter Bildpunktzahl in Echtzeit (Bildfrequenz ca. 50 Hz) aus *minimal 8 Kanälen der Auflösung von 12 Bit* gefaltet werden können. Mit dem zu entwickelnden Gerät soll es möglich werden, hochauflösende Interferenzbilder wesentlich beschleunigt zu falten. Dazu sind innerhalb von 20 ms etwa eine Million Faltungen zu berechnen. Ein Bild der Auflösung von *1000\*1000 Bildpunkten soll etwa in einer Minute*

berechnet werden können. (Für ein Einzelbild dieser Dimension sind etwa 1 Milliarde Elementarfaltungen erforderlich.)

Da derzeit verfügbare Standardprozessoren für die zu realisierenden Algorithmen zu ineffektiv arbeiten, ist ein spezieller Faltungsprozessor zu entwickeln, mit dem die notwendigen Geschwindigkeiten erreichbar sind.

Im Projekt soll im ersten Schritt ein funktionierender, serieller Faltungsprozessor entwickelt werden, der *50 Mio. Elementarfaltungen pro Sekunde* berechnet.

In einer Machbarkeitsstudie wurde der Prozessor als Verhaltensmodell unter SpeedChart simuliert<sup>1)</sup>. Schwachstellen und Detaillösungen wurden untersucht.



**Abb. 3: Blockbild des zu entwickelnden Faltungsprozessors aus Baugruppensicht**

Im Projekt soll nun in einem zweiten Schritt eine diskrete Lösung als PC-Einschub (für IBM-AT- bzw. PCI-Bus) geschaffen werden. Evtl. kann zusätzlich eine S-Bus<sup>2)</sup>-Lösung abgeleitet werden.

Damit wird die Voraussetzung geschaffen, in einem dritten Schritt einen kundenspezifischen IC als universellen Faltungsprozessor zu schaffen, der sowohl für Zwecke der digitalen Signalverarbeitung einsetzbar ist, der aber auch benutzt werden kann, um pulspragierende Simulatoren zu beschleunigen, um sonographische Aufnahmen zu berechnen oder um verbesserte Arm- Bein- oder Hörprothesen zu schaffen.

## Wirtschaftliche Bedeutung

Die besondere Bedeutung des Verfahrens besteht neben der besonderen Anwendung für die Vermessung neuronaler Systeme in verschiedenartigen, wissenschaftlich-technischen und kommerziellen Anwendungen von der Neuromedizin über die Sonografie, die Werkstoffprüfung, die Robotik bis zur Geologie.

<sup>1)</sup> Rädisch, Jörg: Studie zu einem systolischen Faltungsprozessor für schnelle Interferenzfaltung. TFH Berlin/GFal Berlin, Betreuer: G. Heinz, 6.3.1995, 70 S.

<sup>2)</sup> S-Bus: Bus der Firma Sun Microsystems Inc.

- Neuronale Räume werden in Echtzeit zu Bildern faltbar, damit werden erstmals neuronale Systeme in Echtzeit beobachtbar. Entsprechend breit sind die Einsatzchancen für derartige Geräte von der medizinischen Forschung bis zur Neurochirurgie.
- Für die Prothetik ist das zu entwickelnde Verfahren als Schlüssel zu werten, um unkompliziert Erregungen lokalisieren zu können. Sofern entsprechende Fortschritte auf dem Sektor stabiler Elektroden erreicht worden sind, wird es möglich, funktionierende Prothesen zu bauen, deren Handhabung vom Träger nicht gelernt werden muß.
- Für den Ersatz gestörter Sinnesorgane (Ohr, Auge) spielen Interferenzgeräte eine Schlüsselrolle als Meßinstrumente, wie als know-how-Spender.
- Es wird möglich, akustisch mit Ultraschall abgehörte Räume als Bewegtbildfolgen in minderer Fernsehqualität darzustellen. Diese Technik hat überall dort Bedeutung, wo unter schwierigen Umgebungsbedingungen (Dunkelheit, Schmutz, Vibration...) der Einsatz optischer Kameras versagt. So in der Überwachungstechnik, im Klärwerk, an der Haustür. Optische Aufnahmekameras in industriellen, schmutzbelasteten oder verdunkelten Umgebungen mit einer Sichtweite von 10 cm bis 1,5 m können perspektivisch u.U. durch schmutzresistente, billige Ultraschall-Kameras ersetzt werden.
- Es wird möglich, Werkstoffe in Echtzeit auf dynamische Belastungen hin zu untersuchen (Brechzahländerung unter Ultraschall).
- Verschiedene, optisch nicht durchdringbare Medien, die auf irgend eine Weise von einer Druckwelle, einer Schallwelle oder einer elektrischen Welle (Radar, Röntgen) durchdrungen werden können, und deren Bestandteile brechende Wirkung auf diese Welle ausüben, können in ihrer Struktur visualisiert werden.
- Das Verfahren wird eine Voraussetzung dafür sein, Prinzipien einer neuen Art der Bild- und Wissensverarbeitung zu erschließen, die der biologischen vergleichbar ist.
- Der zu entwickelnde Prozessor ist zur seismographischen Tiefenerkundung in der Geologie, für eine verbesserte Sonografie im medizinischen Bereich oder zur Bildgenerierung aus Radar-Echos im Fischereiwesen durch Anschluß spezifischer Sensoren prinzipiell vorteilhaft nutzbar.
- Die erreichbare Bildqualität im Vergleich zu derzeit üblichen, einkanaligen Echo-Verfahren zur Bildarstellung in allen Bereichen der Anwendung kann wesentlich verbessert werden.

Das zu entwickelnde Verfahren besitzt somit eine Schlüsselfunktion für eine Konjunkturbelebung in verschiedenen Bereichen der know-how-intensiven, deutschen Wirtschaft.

Es stellt eine Schlüsselentwicklung zum Einstieg in eine neue Technologie der Interferenzfaltung von Laufzeiträumen in Echtzeit dar. Um eine rasche, wirtschaftliche Breitereinführung in vielfältigen Anwendungen zu stimulieren, wird auf die Entwicklung des Faltungsprozessors als Einschubkarte für einen herkömmlichen IBM-PC bzw. für eine mobile Anwendung in einem Laptop (486/586) orientiert.

## Stand der Technik

Bislang ist es dem Neuro-Analytiker möglich, Nervenleitgeschwindigkeiten zu bestimmen, die neuronale Aktivität einzelner Nervenfasern in Diagrammform zeichnen zu lassen und typische, bekannte Impulsmuster zu vergleichen. Es ist hingegen nicht möglich, aus dem Zeitverlauf eines Impulsmusters auf eine nervliche oder geistige Anomalie, Störung oder Krankheit zu schließen. Auch ist es dem Neurologen kaum möglich, zu beurteilen, was eigentlich die verschiedenen Zeitfunktionen zu bedeuten haben. Im Aufsatz<sup>31</sup> wird gezeigt,

<sup>31</sup> Heinz, G.: Neuronale Interferenzen - Über die Relativität elektrischer Impulsausbreitung in neuronalen Netzwerken. 300 S. In

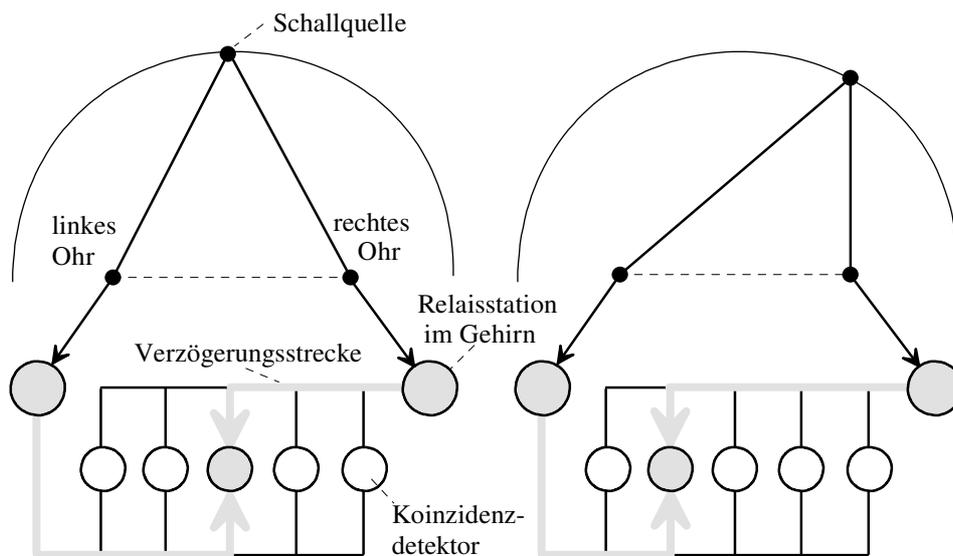
auf welche Weise neuronale Systeme kommunizieren. Entsprechende Algorithmen zur Rückfaltung neuronaler Signale werden dort erstmalig vorgestellt. Impulsinterferenzen werden als Codierungsmedium neuronaler Information untersucht und beschrieben.

Interferenzielle Wirkprinzipien sind vielfältig bekannt, und werden vielfach genutzt. So in der Verkopplung großer Antennenanlagen in der Radioastronomie, oder zur Strahlsteuerung von Phased Array<sup>41</sup>-Antennen in der Radartechnik. In jüngerer Zeit werden phasengesteuerte Arrays auch in der Ultraschalldiagnostik<sup>51</sup> zur Strahlsteuerung benutzt. Interferenzen bilden die Grundlage der Wellenbewegung des Wassers, ebenso das allgemeine Wirkprinzip jeder optischen Abbildung.

Als elementare Interferenzoperation stellt sich die Faltung (das Faltungsintegral) zweier Funktionen in vielfältigen, der Mathematik bekannten Formen dar.

Technisch kann die Interferenzfaltung in Form der vom Antragsteller eingeführten Interferenz-Transformation (Anlage A2) dargestellt werden. Besondere Bedeutung besitzt die Verfahrens-Lösung in Form des sogenannten Maskenalgorithmus zur Interferenz-Faltung, dessen Entwicklung ein Gegenstand des Projekts NEURO3D war.

Im BMWi-Projekt NEURO3D wurden diese Verfahren erprobt, erste Standbilder bzw. bewegte pseudo-Sequenzen neuronaler Interferenzräume können erwartbar mit einem Rechenaufwand von mehreren Stunden pro Bild dargestellt werden.



Modell Lloyd A. Jeffress 1948. Das Schaltungsmodell versucht zu erklären, wie das Gehirn Laufzeitdifferenzen zur Ortung einer Schallquelle benutzen kann.

Numerisch bildgebende Interferenzverfahren sind hingegen bis heute nicht bekannt geworden.

Einen Anhaltspunkt bietet das von Jeffress<sup>61</sup> im Bild dargestellte Verfahren der Schallortung der Schleiereule, dessen Prinzip ins zwei- bzw. dreidimensionale übertragen, mit der HIT im Projekt FAST realisiert wird. Die BMWi-geförderten Projekte NEURO3D und PSI gaben die Möglichkeit, diesen neuartigen Verfahrensansatz im Bereich neuronaler und akustischer Systeme prinzipiell zu erproben. Entsprechend positive Erfahrungen wurden gemacht (siehe

Vorbereitung zur Publikation.

<sup>41</sup> Baur, E.: Einführung in die Radartechnik. B. G. Teubner Stuttgart, 1985.

<sup>51</sup> Krestel, E.: Bildgebende Systeme für die medizinische Diagnostik. Siemens AG, Berlin / München 1980

<sup>61</sup> Konishi, M.: Die Schallortung der Schleiereule. Spektrum der Wissenschaft, 85-71 (1993).

Liste der Veröffentlichungen), Erfahrungen mit pulsartigen Zeitfunktionen und neuronalen, pulspropagierenden Netzen werden sich im in Arbeit befindlichen Abschlußbericht des Projektes NEURO3D niederschlagen.

Eine naheliegende Vielzahl entwickelter, holografischer Verfahren orientieren auf eine Rückfaltung in einem Medium, nicht mit einem Rechner. Auch setzen sie periodische Zeitfunktionen auf den Kanälen voraus. Es sind Abbildungen mit Ultraschall bekannt<sup>71</sup>, die vergleichbar zu optischen Abbildungen entwickelt werden. Kernelement sind Verzögerungslinsen unterschiedlicher Bauart. Elektronenstrahlkamas nutzen starke Magnetfelder, um Verzögerungslinsen zu gestalten.

Interferenzielle Bildüberlagerungen werden neuerdings zur Verbesserung der Bildqualität benutzt<sup>81</sup>. Gemeinsamkeiten mit dem beantragten Projekt bestehen entfernt, Modellbildung und Algorithmen sind aber verschieden davon.

Zur Gewinnung quasi-dreidimensionaler Bilder von Räumen stehen derzeit je nach Medium Moiré-Verfahren, Stereo-Aufnahmetechniken,<sup>91</sup> holografische Verfahren, Dichte- und Echoverfahren zur Verfügung.

Bei der Materialprüfung und bei medizinischen Untersuchungen werden Durchlicht-Röntgenverfahren mit einer Projektion auf photoempfindliche Filme genutzt, die eine zweidimensionale Darstellung des Objekts gestatten. Ordnet man den Strahlerzeuger auf dem Radius eines Zylinders nach innen strahlend an, und werden auf der Gegenwand des Zylinders Sensoren angeordnet, dann können per Computer quasi- dreidimensionale Dichtebilder aus geeigneten Überlagerungen rückgerechnet werden (Einsatz in der Röntgen- bzw. Computer- Tomographie).

---

<sup>71</sup> Trendelenburg, F.: Akustik. Springer-Verlag 2. Aufl., Berlin, 1950

<sup>81</sup> Das neue Gesicht der Erde. Bild der Wissenschaft, Heft 6/1994, Seite 8 (Kombinierte Synthetic Apertur Radar- Bilder der DLR).

<sup>91</sup> Stanke, G., Hausfeld, H.: Verfahren zur Erkennung dreidimensionaler Objekte. Bild & Ton, 6, 1988.

**Abb. 4: Eigenschaften eines Interferenzraumes in der Simulation. Aus der Vorlage (links oben) werden drei Kanaldatenströme erzeugt (oben mitte). Die Verzögerungszeit im Kanal Ch1 wird variiert von 40T bis 160T. Die Rückfaltung zeigt, wie die entstehenden Interferenzorte aus dem Bild wandern (Moving).**

Wird der Kernspin von Wasserstoffatomen im Hochfrequenzfeld (27 MHz) gemessen, ist es unter starken Magnetfeldern (0,15...2 Tesla) möglich, mittels einer wiederum im Zylinder rotierenden, supraleitenden Antennenanordnung ebenfalls ein quasi- dreidimensionales Dichtebild zu erhalten (Kernspin- Tomografie), das per Computer in ein 3D- Schnittbild umgewandelt wird.

Bei in der Tomographie angewandten Verfahren orientiert man sich an einer Rückrechnung des Dichteprofiles des untersuchten Körpers. Die dafür angewandten Verfahren haben mit den hier betrachteten Interferenzverfahren keine Gemeinsamkeiten, obwohl mit ihnen etwa vergleichbare Ziele verfolgt werden.

Formelle Gemeinsamkeiten bestehen vielmehr mit verschiedenen, neuronalen Netzwerk-Schaltungen, den sog. BPN (Biologically Pulse Processing Networks). So ist ein auf dem Duisburger Neurocomputer zu findendes Modell <sup>10]</sup> als "Dynamisches Pulsneuron mit adaptiven, synaptischen Delays" bekannt, dessen Grundstruktur auch bei der Interferenztransformation genutzt wird.

Desweiteren sind eine Vielzahl von Aufsätzen <sup>11]</sup> <sup>12]</sup> zu BPN-Techniken bekannt, in denen dynamische Eigenschaften von Neuronen für die technische Anwendung erschlossen werden, und die insofern tangiert werden, als zu ihnen und von ihnen wechselseitige Stimulationen ausgehen.

---

<sup>10]</sup> Scholles, M., Hosticka, B., Kesper, M.: Biologically-inspired artificial neurons: Modeling and Applications. Proc. Int. Joint Conf. on Neural Networks, Nagoya, Japan, 1993.

<sup>11]</sup> van der Meer, M. (Herausg.): Statusseminar Neuroinformatik des BMFT. Deutsche Forschungsanstalt für Luft- und Raumfahrt (DLR), Berlin, Okt. 1992.

<sup>12]</sup> Eckmiller, R. (Herausg.): Neurotechnologie-Report. Im Auftrage des BMFT, Universität Bonn. April 1994.

**Abb. 5: Eigenschaften eines Interferenzraumes in der Simulation. Aus der Vorlage (links oben) werden drei Kanaldatenströme erzeugt (oben mitte). Diesmal wird die Leitgeschwindigkeit des Bildhintergrundes variiert. Die Rückfaltung zeigt, wie die entstehenden Interferenzorte wandern (Zooming).**

Im Rahmen eines innerhalb des BMWi-geförderten Projektes 'Neuronale Interferenzrekonstruktion' (NEURO3D) durchgeführten Workshops 'Biologieorientierte Informatik und pulspropagierende Netze'<sup>13)</sup> wurde von verschiedenen Teilnehmern die Tragweite der angegebenen Interferenzansätze als eine mit momentan verfügbarer Rechentechnik mögliche Variante des Erkenntnisgewinns zur Entschlüsselung biologischer Informatik betont.

## Verfahren

Die für die Faltung benutzten Algorithmen HIT sind in der Anlage dargestellt.

Im Rahmen einer Praktikumsarbeit wurde die prinzipielle Eignung der Interferenzfaltung für die Umsetzung auf eine systolische Hardware anhand einer VHDL-Verhaltensbeschreibung ausgehend von verkoppelten Automaten<sup>14)</sup> untersucht.

Das Grundproblem bei der Faltung des Bildes besteht darin, daß der Rechenaufwand für die einzelne Faltung bei  $m$  Kanälen beträchtlich ist.

Am Beispiel der Faltung nach Anlage A1 sei dieses Problem dargestellt. Eine einzelne Faltung erfolgt nach der Vorschrift (für die Zeitfunktion  $y_k$  und die Kanalfunktionen  $z_j$ )

$$y_k(t) = \frac{1}{m} \sum_{j=1}^m z_j(t - \tau_j - \tau_{jk}).$$

Auf die  $n$ -te Stützstelle bezogen, lautet sie entsprechend

$$y_{nk}(nT) = \frac{1}{m} \sum_{j=1}^m z_j(t - \tau_j - \tau_{jk}) = z_1(nT - \tau_1 - \tau_{1k}) + z_2(nT - \tau_2 - \tau_{2k}) + \dots + z_m(nT - \tau_m - \tau_{mk}).$$

<sup>13)</sup> Workshop 'Biologieorientierte Informatik und pulspropagierende Netze'. Veranstalter GFal e.V., Dr. G. Heinz, Berlin, den 18.11.1995

<sup>14)</sup> Rädisch, Jörg: Studie zu einem systolischen Faltungsprozessor für schnelle Interferenzfaltung. TFH Berlin/GFal Berlin, Betreuer: G. Heinz, 6.3.1995, 70 S.

Für die Faltung eines Bildes von  $x*y$  Bildpunkten sind  $a$  Abtastwerte auf jedem Kanal erforderlich. Um benachbarte Bildpunkte unterscheidbar zu machen, gilt  $a \geq x$ . Jeder Bildpunkt besitzt eine Verzögerungsmaske, die unberührt von der Kanalzahl über alle Abtastwerte zu führen ist.

Unabhängig von Algorithmus und Kanalzahl ist die Faltung eines 2-D Bildes in  $x*y*a$  Faltungsschritten ausführbar. Zur Faltung eines 3D-Bildes gehören  $x*y*z*a$  Faltungen.

Die Zugriffszeiten der schnellsten, derzeit angebotenen Speicherbauelemente (SRAM's) betragen 6...9 ns. Werden die Kanaldaten in derartigen Speichern abgelegt, sind Taktraten von 50 MHz (20 ns) mit vertretbarem Aufwand nicht zu überbieten. Für  $x=y=z=a$  ergeben sich bei serieller Durchführung des Verfahrens unter der Voraussetzung einschränkter Realisierbarkeit des einzelnen Faltungsschritts folgende Rechenzeiten.

Tabelle: Anzahl der Elementarfaltungen und Bildaufbauzeit bei  $T = 20$  ns pro Faltung für die Bildauflösungen  $x*y$ ,  $a$ : Anzahl der Abtastwerte pro Kanal

Anzahl der Faltungen $x*y*a$	Faltungsdauer für ein 2D-Bild $x*y*a*T$	Kanal-Abtastrate für Echtzeit in Hz	Bildaufbau $x*y*a*T$ in Sekunden
$64^3$	$64^3*20$ ns	12 207,00	5,24 ms
$128^3$	$128^3*20$ ns	3 051,80	41,9 ms
$256^3$	$256^3*20$ ns	762,90	335 ms
$512^3$	$512^3*20$ ns	190,70	2,68 s
$1024^3$	$1024^3*20$ ns	47,70	21,47 s

Es ist zu erkennen, daß etwa bis zur Auflösung  $x = y = a = 128$  noch von Videotauglichkeit gesprochen werden kann. Unangenehm fällt ins Gewicht, daß die Abtastzahl  $a$  proportional zur Auflösung des Bildes ansteigt. Folglich verhält sich dabei die Abtastfrequenz indirekt proportional zur Bildauflösung, wenn lange Sample-Folgen lückenlos zu bewerten sind.

Zur Implementation der Faltung (siehe letzte Formel) sind die Adressen aller  $m$  Kanäle zu inkrementieren bzw. zu dekrementieren ( $m$  Operationen), die zugehörigen Funktionswerte sind als Datenworte einzulesen ( $m$  Operationen), die Datenworte sind hierarchisch miteinander zu addieren bzw. in anderer, geeigneter Form zu verknüpfen (mindestens  $m-1$  Operationen), danach ist auf den alten Wert integrierend zu summieren (*shift\_right\_i*, *add*, *shift\_right\_j*, 3 Operationen) und abschließend ist das Ergebnis an geeigneter Stelle abzulegen (mindestens 2 Operationen, *inc\_adr* und *write\_adr*).

Zusammengefaßt benötigt eine elementare Interferenzfaltung für einen Wert eines Pixles mindestens  $3m+2$  Operationen auf Turing-Maschinen. Auf modernen Signalprozessoren in Harvard Architektur sind Adreßmanipulationen in Abhängigkeit vom Problem parallel zu Daten-Lese-Befehlen ausführbar, entsprechend ergäbe sich hierfür etwa eine Anzahl von  $2m+1$  Operationen pro Wert und Pixle.

In Abhängigkeit von der Kanalzahl ergibt sich pro zu faltendem Bildpunktwert etwa folgende Anzahl elementarer Maschinenzyklen.

Tabelle: Anzahl der Maschinentakte für die Faltung eines Bildpunktes mit einem Abtastwert

Zahl der Kanäle	Zahl der Maschinentakte mit einer Turing-Maschine ( $3m+2$ )	Zeit in ns 66 MHz	Zahl der Maschinentakte mit einer Harvard-Maschine ( $2m+1$ )	Zeit in ns 40 MHz
4	14	212,8	9	225
8	26	395,2	17	425
16	50	760	33	825

Die in der Tabelle angegebenen Maschinentakte sind prinzipbedingt mit universellen Prozessoren nicht wesentlich reduzierbar. Pipelinefähigkeit moderner Prozessoren könnte nochmals eine Verminderung um etwa 20% erbringen.

Da die Faltung auf einfachen Algorithmen basiert, ist die Entwicklung eines speziellen Prozessors, der sämtliche Arbeitsschritte für einen Faltungsschritt parallel zueinander ausführt, offenbar zweckmäßig. Im Pipelining könnten prinzipiell alle Arbeitsschritte gleichzeitig ausgeführt werden, ein speziell entwickelter Prozessor benötigte dann einen Takt bzw. Maschinentakte für eine Faltung.

Zur angestrebten Faltung von etwa  $100 \times 100$  Pixeln mit minimal 100 Abtastwerten pro Pixel sind z.B. 1 Mio Faltungen erforderlich. Ein Standard-Prozessor, der dem Turing-Typ nahesteht, z.B. der Intel 486-DX2-66 (66 MHz) wäre, würde man alle Task-Switches und Ineffizienzen unberücksichtigt lassen, bei 4 Kanälen frühestens nach  $760 \text{ ns} \cdot 10^6 = 0,76$  Sekunden fertig. Mit einem Signalprozessor mit Harvard-Architektur, z.B. vom Typ TMS320C51 (40 MHz) wäre eine einzelne Faltung z.B. trotz verminderter Befehlsanzahl nicht schneller fertig. 20 ns pro Elementarfaltungsschritt (Adressrechnung und -einstellung, Summation, Ablage) sind mit handelsüblichen Prozessoren schon theoretisch nicht erreichbar.

Im praktischen Test zeigen sich katastrophal bescheidenere Ergebnisse. So ist ein PC-AT-Pentium-66MHz mit der Faltung eines  $200 \times 150$  Bildes erst nach etwa 6 Stunden fertig. Allerdings werden derzeit Quellen aus C unter Windows genutzt.

Der versuchsweise Einsatz eines Parallelrechners Parsytec-PowerXplorer brachte im Detail die im Aufsatz <sup>151</sup> dargestellten Ergebnisse. Die hohen Kosten für einen Parallelrechner scheinen die Entwicklung eines spezialisierten Rechenwerks insofern rentabel zu machen, da bereits bei etwa zehn verkauften Exemplaren des im Projektantrag zu entwickelnden Faltungsprozessors eine Kostenreduktion im Vergleich zur Nutzung eines parallelen Universalrechners einsetzt.

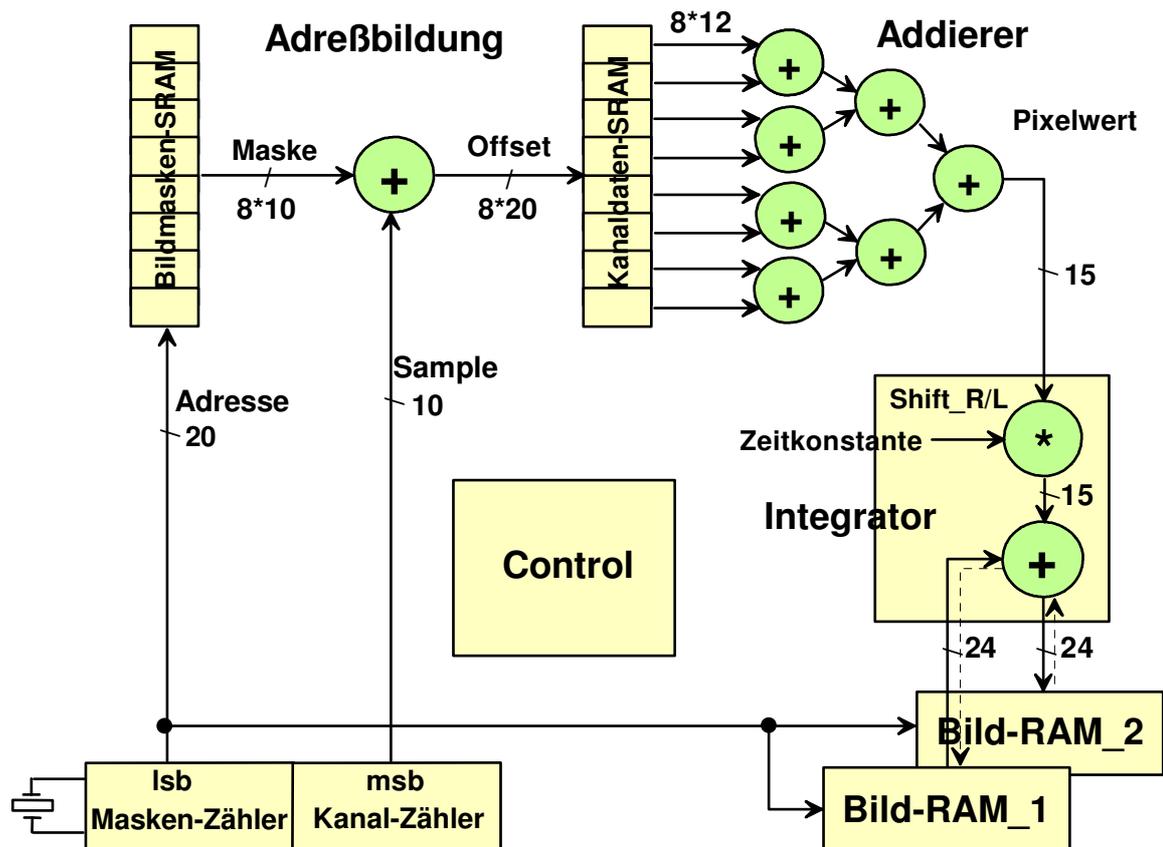
Der Einsatz herkömmlicher Parallelrechner erbringt Beschleunigungsfaktoren pro Prozessorknoten etwa bis zum Faktor 3, aufgrund des Preises bleibt aber die Anwendbarkeit von Parallelrechnern auf Forschungs- und Entwicklungsaufgaben beschränkt.

### **Folgender Lösungsansatz wird verfolgt:**

Es wird ein serieller Faltungsprozessor als PC-Einschub entwickelt, der die Elementarfaltungen überlappend mit einem Taktzyklus von 20 ns ausführt.

Initialisierend werden die Samplespeicher der Kanäle geladen. Diese sind umlaufend organisiert. Nach der Faltung je einer Bildzeile wird genau ein neuer Abtastwert in den Samplespeicher geholt, nach Faltung von  $n$  Zeilen befinden sich wieder  $n$  neue Abtastwerte im Samplespeicher.

<sup>151</sup> Heinz, G., Höfs, S., Koepp, I.: Parallel Interference Transformation to Simulate Nervous Activity. PowerXplorer User Report, 2nd Edition, June 1995, Jan Knop, Ingo Schreiber, Heinrich-Heine-Univ. Düsseldorf, June 1995, S. 131-136



- vertraulich -

## Faltungsprozessor

8 Kanäle a 12 bit

**Abb. 6: Funktionelle Sicht auf den zu entwickelnden Faltungsprozessorkern (ohne I/O Businterface)**

Ein einziger Zähler zählt binär die Faltungsschritte pro Bildpunkt, die Spalten- und die Zeilenadressen der Bildpunkte. In den den Kanälen zugeordneten Maskenspeichern sind die zeitlichen Abstände eines Bildpunktes vom jeweiligen Kanal gespeichert, damit wird eine Zuordnung der Koordinaten des Bildpunktes zu variablen Verzögerungszeiten erreicht.

Der Abstand der Quell- und Senkenpunkte der einzelnen Kanäle ist im Maskenspeicher des jeweiligen Kanals dem einzelnen Bildpunkt zugeordnet. Der zeitliche Abstand der dem Maskenspeicher entnommenen Maske wird zum Zählerstand als Offset summiert, und stellt die Maskenadresse dar, mit der der Samplespeicher abgefragt wird.

Die von den Samplespeichern der Kanäle kommenden Funktionswerte werden zueinander hierarchisch im Pipelining addiert. Mit einem folgenden Addierer wird der Helligkeitswert des Bildpunktes integriert. Die Integrationszeit ist über eine Shift-Stufe in Zweierpotenzen wählbar. Die Grundhelligkeit der Bildpunkte ist mit einer zweiten Shift-Stufe über Zweierpotenzen wählbar.

Das System wird vorteilhaft durch einen herkömmlichen Signalprozessor gesteuert, der insbesondere das Nachladen der Samples, die Initialisierung sowie Serviceaufgaben übernimmt. Um die Ausführungszeit einer Elementarfaltung auf einen Takt zu begrenzen,

arbeitet der Bildspeicher mit Schatten. Aus demselben Grunde ist ein systolisch wirkender Baumaddierer vonnöten. Zur Kommunikation mit der Umwelt ist mindestens eine Bildspeichereinheit als Dual-Port-SRAM ausgeführt. Die Steuerung und der Anschluß an den AT/PCI-Bus sind in der Baugruppe 'Control' zusammengefaßt.

Zunächst wird ein Versuchsaufbau auf einer Universalplatine erfolgen. Parallel dazu werden Softwareentwicklungen und Verhaltenssimulationen durchgeführt. Es sind zwei Fertigungszyklen der Leiterplatte vorgesehen. Abschließend sollen fünf Prototypen entstehen, die zur Erprobung im Feldversuch geeignet sind.

### **Besonderheiten des Verfahrens sind:**

- ◆ Die Faltung wird gegenüber der Verwendung von Standardprozessoren um mehrere Zehnerpotenzen beschleunigt, erwartet wird eine Geschwindigkeitssteigerung gegenüber dem Pentium um ca. einen Faktor 6000.
- ◆ Der zu entwickelnde Interferenz-Prozessor arbeitet seriell, die einzelnen Faltungsschritte (Elementarfaltungen) werden systolisch (pulsierend) nacheinander ausgeführt.
- ◆ Pro Elementarfaltung ist nur ein Rechenschritt erforderlich, der im Pipelining mit einem Takt bearbeitet wird. Aufeinander folgende Rechenschritte überlappen sich.
- ◆ Die Lösung ist auf einen PC-Einschub zugeschnitten.
- ◆ Die Lösung ist skalierbar, rückgefaltete Bilder können unter Betonung hoher Auflösung bei hoher Rechenzeit oder unter Betonung geringer Rechenzeit bei reduzierter Auflösung berechnet werden. Die Umschaltung erfolgt per Software.
- ◆ Quell- und Senkenpunkte der einzelnen Kanäle sind im Dreidimensionalen variabel vorgebbar.
- ◆ Es werden weitgehend PC-AT Standard-Schnittstellen benutzt.
- ◆ Für Feldversuche ist die Lösung in einem Laptop unterbringbar.
- ◆ Das implementierte Verfahren wurde im Projekt NEURO3D mit neuronalen Daten und im Projekt PSI mit akustischen Daten erprobt.

# Arbeitsplan und Beschreibung des Lösungsweges

**Voraussichtliche Projektdauer: 01.06.1996 bis 31.5.1997**

## Phase 1: Präzisierung der Lösung

- Simulation anhand eines Verhaltensmodells (VHDL, C oder Speedchart)
- Variation von Lösungsmöglichkeiten
- Festlegung der Kenndaten und der Busschnittstelle
- Festlegung der Registerstruktur und des Timings

## Phase 2: Versuchsaufbau

- Entwicklung der Bus-Schnittstelle (ISA oder PCI)
- Entwicklung der Bildschirm-Schnittstelle (ISA, PCI oder Grabbing)
- Entwicklung des Faltungsprozessors und der Steuer-PLD
- Entwicklung des PCB-Layouts, Fertigungsdokumentation
- Entwicklung von Prüfgeräten

## Phase 3: Software-Entwicklung

- Entwicklung von Lösungsvarianten per Verhaltenssimulation
- Entwicklung von Zugriffsmoduln für die Bus- und Bildschirm-Schnittstellen
- Einpassung unter die Windows-Oberfläche
- Kopplung mit Signalaufbereitungs- (Filter) und Nachbehandlungsroutinen (Norm.)
- Entwicklung von Initialisierungs- und Prüfroutinen

## Phase 4: Erprobung & Optimierung

- Prüfung der Faltungsergebnisse an einem Kanaldatenfile mit Referenzbild
- Soft- und Hardwareanpassung an die Sensorcharakteristiken
- Korrektur des entfernungsabhängigen Amplitudengangs
- Optimierung von Soft- und Hardware im Zusammenspiel
- Fehlerbeseitigung

# Zeitplan

Zeitplan	1996							1997					
	Quartal	Q3			Q4			Q1			Q2		
	Monat	Jun	Jul	Aug	Sep	Okt	Nov	Dez	Jan	Feb	Mar	Apr	Mai
<b>Phase 1</b>													
<b>Präzisierung der Lösung</b>													
Simulation anhand eines Verhaltensmodells (VHDL, C oder Speedchart)	1,0	1,0	1,0										
	0	0	0										
Variation von Lösungsmöglichkeiten	1,0	1,0	1,0										
	0	0	0										
Festlegung der Kenndaten und der Busschnittstelle	0,5	0,5	0,5										
	0	0	0										
Festlegung der Registerstruktur und des Timings													
<b>Phase 2</b>													
<b>Versuchsaufbau</b>													
Entwicklung der Bus-Schnittstelle (ISA oder PCI)				0,5	0,5	0,5							
				0	0	0							
Entwicklung der Bildschirm-Schnittstelle (ISA, PCI oder Grabbing)				1,0	1,0	1,0							
				0	0	0							
Entwicklung des Faltungsprozessors und der Steuer-PLD				1,0	1,0	1,0	1,0	1,0	1,0				
				0	0	0	0	0	0				
Entwicklung des PCB-Layouts, Dokumentation										1,0	1,0	1,0	
										0	0	0	
Entwicklung von Prüfgeräten													
<b>Phase 3</b>													
<b>Software-Entwicklung</b>													
Entwicklung von Lösungsvarianten per Verhaltenssimulation, Entwicklung von Zugriffsmoduln für die Bus- und Bildschirm-Schnittstellen	0,5	0,5	0,5	0,5	0,5	0,5							
	0	0	0	0	0	0							
Einpassung unter die Windows-Oberfläche							0,5	0,5	0,5				
							0	0	0				
Kopplung mit Signalaufbereitungs-(Filter) und Nachbehandlungsroutinen (Norm.)							0,5	0,5	0,5	0,5	0,5	0,5	
							0	0	0	0	0	0	
Entwicklung von Initialisierungs- und Prüfroutinen										0,5	0,5	0,5	
										0	0	0	

<b>Phase 4</b>													
<b>Erprobung &amp; Optimierung</b>													
Prüfung der Faltungsergebnisse an einem Kanaldatenfile mit Referenzbild, Fehlerbeseitigung									0,5	0,5	0,5		
									0	0	0		
Soft- und Hardwareanpassung an die Sensorcharakteristiken, Korrektur des entfernungsabhängigen Amplitudengangs						0,5	0,5	0,5					
						0	0	0					
Optimierung von Soft- und Hardware im Zusammenspiel						0,5	0,5	0,5	0,5	0,5	0,5		
						0	0	0	0	0	0		
Mannmonate, gesamt	3,00	3,00	3,00	3,00	3,00	3,00	3,00	3,00	3,00	3,00	3,00	3,00	3,00

## Darlegung der Nutzbarkeit und Nachweis der Vermarktungsmöglichkeiten der FuE-Ergebnisse

Mit dem zu entwickelnden Verfahren wird es möglich, in Echtzeit in undurchsichtige Räume hineinzuschauen, die mit herkömmlichen Echomethoden nicht meßbar sind. Erstmals können mit dem zu schaffenden Faltungsprozessor online Nervensysteme beobachtet werden. Im Neuronalen kann ermittelt werden, woher und wohin bestimmte Daten fließen, und was deren Inhalt ist. Einerseits kann der Faltungsprozessor als PC-Additiv genutzt werden. Andererseits sind durch Anpassung von Sensorverstärkern verschiedene, oben angedeuteten Einsatzbereiche erschließbar.

Im Bereich der *medizinisch-neurologischen Forschung* wird der Bedarf auf einige hundert Geräte geschätzt (Universitäten, Laboratorien, Institute, Kliniken).

Vergleichbar zu einem Oszilloskop entsteht ein Gerät, daß für *Entwickler bio-technischer Schnittstellen* zur elementaren Grundausrüstung gehören wird. Hier wird der Bedarf einige dutzend Geräte zunächst nicht übersteigen.

Als Meßgerät im *Bereich elektronischer Entwicklungen* (Bio-Technik, Ultraschallsensorik, Robotik) ist mit einem Bedarf von mehreren tausend Faltungsprozessoren zu rechnen.

Die Anwendung des zu entwickelnden Faltungsprozessors beschränkt sich nicht auf neuronale Laufzeiträume. Im Rahmen der Abtastrate von bis zu 12 kHz können verschiedene, andere Laufzeiträume mit den in der Tabelle ausgewiesenen Einschränkungen in Echtzeit ohne Voraufzeichnung rückgefaltet werden.

Tabelle: Ortsauflösung  $x$  des zweidimensionalen Verfahrens für verschiedene Medien ( $x = v/f_s$ ) bei einem Faltungstakt von  $T = 20$  ns

Anzahl der Faltungen $x*y*a$	Kanal-Abtastrate für Echtzeit $f_s$ in Hz	Bildaufbau $x*y*a*T$ in Sekunden	Ultraschall in Luft $v = 330$ m/s	Sonographie in Wasser $v = 1500$ m/s	Seismische Wellen $v = 4000$ m/s
$64^3$	12 207,00	5,24 ms	2,7 cm	12,3 cm	32,7 cm
$128^3$	3 051,80	41,9 ms	10,8 cm	49,1 cm	1,31 m
$256^3$	762,90	335 ms	43,2 cm	1,97 m	5,24 m
$512^3$	190,70	2,68 s	1,73 m	7,86 m	20,97 m
$1024^3$	47,70	21,47 s	6,91 m	31,44 m	83,85 m

Voraufz. mit 100 kHz	%	%	3,3 mm	1,5 cm	4 cm
-------------------------	---	---	--------	--------	------

In Kombination mit einer Voraufzeichnung in einer Oversampling-Technik sind bei einer konstanten und verfahrensunabhängigen Abtastrate von 100 kHz entsprechend höhere Werte zu erzielen (siehe letzte Zeile der Tabelle). Durch Interpolation und Mittelwertbildung wären qualitativ hochwertige Bilder zu erreichen.

Neben einem zu erwartenden Schub auf dem Gebiet neurologischer Forschung wird es möglich, Echowerte qualitativ abzulösen. So soll es mit dem Faltungsprozessor möglich werden, perspektivisch *Ultraschalluntersuchungen im Bereich medizinischer Diagnostik* qualitativ wesentlich zu verbessern. Sollte das Verfahren hierfür gut geeignet sein (das läßt sich erst mit Projektabschluß PSI exakt sagen), ist mit Serienstückzahlen im Zehntausender-Bereich zu rechnen.

Im Bereich autonomer Robotik wird zunehmend an uns der Wunsch herangetragen, auf Interferenzverfahren basierende Ultraschallsensoren einzusetzen (diese Frage war Ausgangspunkt zur Projektidee des laufenden Projektes PSI). Zur Entwicklung derartiger Geräte sind wiederum Meßgeräte und Erfahrungen erforderlich, mit denen der Entwickler in der Lage ist, schnell und zielsicher Rückfaltungen vorzunehmen. Auch hier ist der zu entwickelnde Faltungsbeschleuniger eine Schlüsselbaugruppe. In diesem Bereich wird im Jahre 2010 ein Marktpotential von ca. 45 Mrd. DM<sup>16]</sup> erwartet.

Aus den Gründen schutzrechtlicher Verwertung wird um Vertraulichkeit in der Antragsbearbeitung gebeten. Sollte das Projekt erfolgreich verlaufen, so ist beabsichtigt, die Lösung deutschen Herstellern zur Produktion anzubieten.

## Darlegung eigener Arbeiten mit Bezug zum beantragten Vorhaben

### Arbeiten des Antragstellers

- <sup>1]</sup> Heinz, G., Höfs, S., Koepf, I.: Parallel Interference Transformation to Simulate Nervous Activity. PowerXplorer User Report, A joint vention of Parsytec and the University of Duesseldorf. 2nd Edition, June 1995, Jan Knop, Ingo Schreiber, Heinrich-Heine-Univ. Düsseldorf, June 1995, S. 131-136
- <sup>2]</sup> Heinz, G.: Laufzeiträume als neue Doktrin - Relativität elektrischer Impulsausbreitung im Verhältnis zu statischen Modellierungsansätzen: neue Ergebnisse. Workshop 'Biologieorientierte Informatik und pulspopagierende Netze', GMD-FIRST Berlin, 18.11.94, Veranstalter GFal e.V. Berlin, Dr. G. Heinz.
- <sup>3]</sup> Höfs, Sabine, Heinz, Gerd: Bio-Interface: Vorstellung eines neuartigen Meßgeräts und Simulators für Räume neuronaler Interferenz. Workshop 'Biologieorientierte Informatik und pulspopagierende Netze', GMD-FIRST Berlin, 18.11.94, Veranstalter GFal e.V. Berlin, Dr. G. Heinz.
- <sup>4]</sup> Heinz, G., Dengel, S., Jossifov, V.: Technical Documentation - Network Communication Processor CP805. GFal-Report 1.8.1993
- <sup>5]</sup> Heinz, G.: Kommunikationsprozessor für PowerPC 601 - Aufgaben und Leistungsmerkmale. Vortrag zum GFal-Workshop im Rahmen des Projekts NP-COMPAS "Konzept eines Kommunikationsprozessors für massiv parallele Rechner", Thesys GmbH Erfurt, 2.12.1993.
- <sup>6]</sup> S. Dengel, G. Heinz, V. Jossifov: Entwurf und Simulation eines Netzwerkprozessors für Massiv Parallele Computer. Projekt-Abschlußbericht. GFal-Report vom 30. Januar 1994
- <sup>7]</sup> Dengel, S., Busch, C., Heinz, G.: Ultraschneller, parallel routender Kommunikationsprozessor für 2D-, 3D-Torus- und Hypercube-Netze und Implementierung als XC4010-FPGA für ein T805-Transputer-Cluster. Vortrag zum Workshop 'Hochgeschwindigkeitskommunikation in (parallelen) Rechnernetzen', GFal/GMD-FIRST Berlin, 25.11.94

<sup>16]</sup> Hägele, M. u.a.: Serviceroboter - ein Beitrag zur Innovation im Dienstleistungswesen. Untersuchung des Fraunhofer-Instituts für Produktionstechnik und Automatisierung (IPA) Stuttgart, 9/1994, Herausgeber: IPA, Nobelstr.12, 70569 Stuttgart

- <sup>8]</sup> Heinz, G.: Relativität elektrischer Impulsausbreitung als Schlüssel zur Informatik biologischer Systeme. 39. Internationales Wissenschaftliches Kolloquium an der TU Ilmenau 27.-30.9.1994, Abgedruckt in Band 2, S. 238-245
- <sup>9]</sup> Heinz, G.: Relativität elektrischer Impulsausbreitung - Schlüssel zur Informatik biologischer Systeme. 39. Int. Wiss. Kolloquium der TU Ilmenau, 27.-30.9.94
- <sup>10]</sup> Heinz, G.: Neuronale Interferenzen oder Impulsinterferenzen in elektrischen Netzwerken. Autor gleich Herausgeber. GFal Berlin, Juni 1994, 300 S., in Vorbereitung zur Publikation.
- <sup>11]</sup> Heinz, G.: Modelling Inherent Communication Principles of Biological Pulse Networks. SAMS 1994, Vol.15, No.1, Gordon & Breach Science Publ. UK, Printed in the USA.
- <sup>12]</sup> Heinz, G.: Masken- Algorithmus für parallele, mehrdimensionale Faltung. Publikation in Vorbereitung für 'Journal of Information Theory and Cybernetics', Akademie- Verlag Berlin.
- <sup>13]</sup> Heinz, G.: Über beobachtbare Relativität neuronaler Impulsausbreitung. Ein Experiment mit Folgen für die Neuroinformatik. Publikation demnächst im 'Journal of Information Theory and Cybernetics', Akademie-Verlag Berlin.
- <sup>14]</sup> Heinz, G.: Neuronale Interferenzen. Öffentlicher Vortrag vor GFal (Prof. Iwainky) und GMD-FIRST im Hause 13.7, Akademiegelände Berlin- Adlershof am 27.8.93
- <sup>15]</sup> Heinz, G.: Neuronale Interferenzen. Öffentlicher Vortrag an der Fachhochschule für Technik und Wirtschaft Berlin FB3 (Prof. Matschke), 28.5.93
- <sup>16]</sup> Heinz, G.: Neuronale Interferenzen. Öffentlicher Vortrag an der Technischen Fachhochschule Berlin-Wedding, Labor für Künstliche Intelligenz (Prof. Hamann) am 27.10.93
- <sup>17]</sup> Heinz, G.: Neuronale Interferenzen. Öffentlicher Vortrag im Institut für Mikroelektronik der Technischen Universität Berlin (Prof. Klar) am 27.1.94
- <sup>18]</sup> Heinz, G.: Neuronale Interferenz- Architekturen: Herausforderung für massive Parallelität im ULSI-Maßstab. Vortrag FHTW FB3, 28.5.93
- <sup>19]</sup> Heinz, G.: Generierung schneller ASIC-Datenpfad-Slices auf binären Bäumen. Kolloquium der SICAN GmbH Hannover, Juni 1991
- <sup>20]</sup> Heinz, G.: Cell Based Delay Analysis with Finite Transition Slopes. SAMS, 1992, Vol. 9, pp. 325- 337. Gordon and Breach Science Publishers S.A., UK
- <sup>21]</sup> Heinz, G.: Untersuchung dynamischer Eigenschaften digitaler CMOS- Gatter. Nachrichtentechnik Elektronik, Berlin 40(1990) H.1, S.26-28
- <sup>22]</sup> Heinz, G.: Untersuchung dynamischer Eigenschaften digitaler CMOS- Gatter. Vortrag zur 4. Tagung Schaltkreisentwurf, Technische Universität Dresden, 12.-14.2.1990
- <sup>23]</sup> Heinz, G.: Untersuchung dynamischer Eigenschaften digitaler CMOS-Gatter. Vortrag anl. Kolloquium zur Halbleitertechnik und Mikroelektronik, TU Berlin, Inst. für Mikroelektronik, 7.6.1990

## **Tangierende Arbeiten der Arbeitsgruppe**

- <sup>24]</sup> Rädisch, Jörg: Studie zu einem systolischen Faltungsprozessor für schnelle Interferenzfaltung. TFH Berlin/GFal Berlin, Betreuer: G. Heinz, 6.3.1995, 70 S.
- <sup>25]</sup> Werner, Jörg: Untersuchung der Echtzeitfähigkeiten des Signalprozessors TMS320C26 für Filter-, Interpolations-, Differentiations- und Integrationsanwendungen. Praktikumsarbeit TFH Berlin/GFal, Betreuer: G. Heinz, GFal-Report vom Mai 1995, 26 S.
- <sup>26]</sup> Fischmann, Vadim: Programm für die dreidimensionale Darstellung zweidimensional vorliegender Amplitudenverteilungen. Praktikumsarbeit BEFAK/GFal, Betreuer: G. Heinz, GFal-Report Mai 1995, 37 S.
- <sup>27]</sup> Trunschke, Ralph: Entwicklung eines Maskenalgorithmus zur räumlichen Rückfaltung eines Interferenzraumes. Praktikumsarbeit FHTW Berlin/GFal, Betreuer: G. Heinz, GFal-Report März 1994, 18 S.
- <sup>28]</sup> Fritsch, Michael: Untersuchung und Entwicklung eines rauscharmen und programmierbaren Meßverstärkers für neurographische Aufnahmen. Diplomarbeit, FHTW Berlin FB3/GFal, Betreuer: G. Heinz, GFal-Report vom 27.9.1994., 62 S.
- <sup>29]</sup> Heiduk, Falk: Entwicklung von VHDL-Modellen eines Kommunikationsprozessors für 3D/2D-Netze und PLD-Synthese der Modelle. Ingenieurpraktikumsarbeit FHTW Berlin/GFal, Betreuer: Dr. G. Heinz, GFal Report vom 16.2.1994, 93 S.
- <sup>30]</sup> Menzer, Lars: Entwicklung von Hypercube- VHDL- Modellen eines Kommunikationsprozessors und PLD-Synthese der Modelle., Ingenieurpraktikumsarbeit TFH Berlin/GFal, Betreuer: Dr. G. Heinz, GFal Report vom 16.2.1994, 88 S.
- <sup>31]</sup> Schwabe, Ivo: Entwicklung von VHDL-Modellen und PLD-Synthese der Modelle. Ingenieurpraktikumsarbeit TFH Berlin/GFal, Betreuer: Dr. G. Heinz, GFal Report vom 16.2.1994, 21 S.

- <sup>32]</sup> Jossifov, V., Dengel, S.: Entwurf und Simulation eines Netzwerkprozessors für massiv-parallele Computer, NP-COMPAS/BMWi-613/93 Projekt, Zwischenbericht, Juni 1993, GFal e.V., Berlin.
- <sup>33]</sup> Jossifov, V.: Parallel Computer Architectures - Theory and Applications, Habilitation, Institut für Mathematik und Informatik der Bulg. Akad. der Wissenschaften, Dez. 1990, Sofia.

## Aufschlüsselung des Finanzierungsplanes

		1996			1997		
Pos.	Kostenart	Anz.	DM	Σ DM	Anz.	DM	Σ DM
3	Personalkosten						
4	wiss. Mitarbeiter	1			1		
5	12 Monate je Monat	7	6 500,00	45 500,00	5	6 500,00	32 500,00
6	Sonderzuwendung (75%), anteilig	1	2 843,75	2 843,75	1	2 031,25	2 031,25
7	Urlaubsgeld	1	500,00	500,00	1	500,00	500,00
8							
9	zwei wiss. Mitarbeiter	2			2		
10	12 Monate je Monat	14	5 500,00	77 000,00	10	5 500,00	55 000,00
11	Sonderzuwendung (75%), anteilig	2	4 812,50	9 625,00	2	3 437,50	6 875,00
12	Urlaubsgeld	2	500,00	1 000,00	2	500,00	1 000,00
13							
14	studentische Kräfte	1,5			1,5		
15	Monate a 80 Std. je Monat	10,5	800,00	8 400,00	7,5	800,00	6 000,00
16	Summe Personal			144 868,75			103 906,25

17

18	Geräte						
19	TMS-Development Kit/ PCI-Bus (Anlage 9)	1	4 301,00	4 301,00			
20	SBUS-Dev. Kit + Driver Dev. Kit (Anlage 10)				1	979,11	979,11
21	Xilinx-Wartungsverlängeru ng (Voraussetzung für FPGA-Entwurf) (Anlage 16)	1	4 486,15	4 486,15			
22	Transientenrecorder 1MS/s, 16 Kanäle, 64 kWorte (Anlage 17)				1	93 265,00	93 265,00
23	Software-Upgrades Windows95, Borland C++, Visual C++ (Anlage 15)	1	1 975,70	1 975,70			
24	Upgrade Eagle 3.0 Layouteditor (Anlage 14)	1	3 511,35	3 511,35			
25	Pentium Tower PCI als Entwicklungssystem (Anl. 11)	1	8 592,01	8 592,01			
26	LB2 Ethernet Local Bridge (Anlage 18)				1	2 472,50	2 472,50

Pos.	Kostenart	1996			1997		
		Anz.	DM	Σ DM	Anz.	DM	Σ DM
27	Notebook Pentium mit PCI-Bus für Feldvers. (Anlage 11)	1	7 311,30	7 311,30			
28	Epson Stylus Color (Anlage 12)	1	902,75	902,75			
29	LaserJet 4M Plus, Speichererw. 4MB, 2xToner (Anlage 8)				1	4 726,50	4 726,50
30	Summe Geräte			31 080,26			101 443,11
31			b.w.				
	(Fortsetzung)						
32	Material						
33	Elektronische Bauelemente (schnelle SRAMs, Prozessor, PCI-Businterface-IC, Steckverbinder, ICs) im Einzelpreis unter DM 800.-	1	2 500,00	2 500,00	1	2 500,00	2 500,00
34	Kleinausrüstungen unter 800,- DM (Busadapter, Vorrichtungen, Software)	1	1 500,00	1 500,00	1	1 500,00	1 500,00
35	Bestückungskosten SRM (Anlage 13)				1	2 012,50	2 012,50
36	Summe Material			4 000,00			6 012,50
37							
38	Fremdleistungen						
39	AT-Leiterkartenanfertigung , 4-lagig, 2 Iterationen (Anlage 13)				2	2 414,71	4 829,42
40							
41	Allgemeine Kosten						
42	30% der Personal-, Geräte- und Materialausgaben			53 984,70			63 408,56
43							
	Kosten pro Jahr DM			233 933,71			279 599,84
	Projektkosten DM gesamt						513 533,55

## **Verzeichnis der Anlagen**

- Anlage 1 Kurzfassung Vortrag 39. IWK Ilmenau, Sept. 1994**
- Anlage 2 Parsytec PowerXplorer User Report**
- Anlage 3 Auszüge Studie zur Verhaltensmodellierung**
- Anlage 4 Einladung zum Workshop Bio-Informatik**
- Anlage 5 Arbeitsaufnahmen vom Projekt NEURO3D**
- Anlage 6 Pressemitteilung**
- Anlage 7 Auszug Interferenztransformation**
- Anlage 8 Angebot Fa. Hamilton**
- Anlage 9 Angebot Fa. AVNET**
- Anlage 10 Angebot Fa. SunExpress**
- Anlage 11 Angebot Fa. Synchron**
- Anlage 12 Angebot Fa. INTEQ**
- Anlage 13 Angebot Fa. SRM Printtechnik**
- Anlage 14 Angebot Fa. CadSoft**
- Anlage 15 Angebot Fa. Logibyte**
- Anlage 16 Angebot Fa. Metronik**
- Anlage 17 Angebot Fa. Gould-Nicolet**

## **Sonstige Unterlagen**

# Gutachter

## Gutachter Wissenschaft/ Forschung

Prof. Dr. A. Sydow  
Dr. Gerd Kock  
Gesellschaft für Mathematik und Datenverarbeitung  
GMD FIRST  
Rudower Chaussee 5  
12484 Berlin

## Gutachter Industrie

Prof. Dr. Saedler  
Graphikon GmbH  
Mandelstr.16  
10409 Berlin

Prof. Dr. F. Rößler  
Thesys GmbH  
Haarbergstr. 61  
99097 Erfurt

# Digitaler Signalprozessor für systolische Interferenz-Faltung in Echtzeit

Kurzbezeichnung: FAST

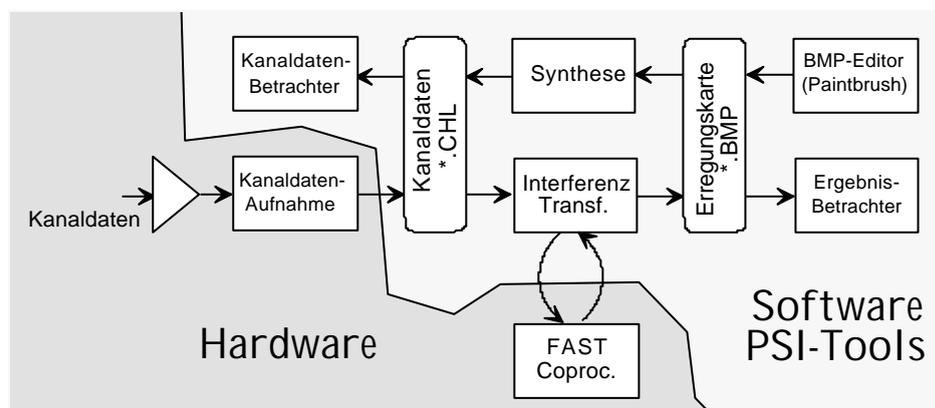
Projektlaufzeit: 01.05.1996 - 31.03.1997

Projektleitung: Dr. G. Heinz

Mit Förderung durch das Bundesministerium für Wirtschaft  
Projektträger: GEWIPLAN, Förderkennzeichen 569/96

## Einführung

Im Projekt entstand ein systolisch arbeitender Hardwarebeschleuniger für die an der GFal entwickelte Interferenztransformation (HIT) als PC-AT-Einschub. Mit dem Prozessor wird eine Beschleunigung der Interferenztransformation um etwa einen Faktor 2000 gegenüber einem Intel-Pentium angestrebt. Damit wird es möglich, interferenzielle Erregungskarten innerhalb von Sekunden statt von Stunden zu berechnen.



**Bild 1: Einordnung des FAST-Coprozessors für schnelle Interferenztransformation**

Herkömmliche Verfahren zur Erregungskartierung z.B. im Bereich der Akustik nutzen z.B. die Möglichkeit einer Signalzerlegung in spektrale Darstellungen (Spatial Transformation of Sound Fields [13], Time Domain Holography) oder in Wavelets zur Berechnung von Faltungen oder für Operationen mit Zeitfunktionen. Dieser Weg ist dort problematisch, wo nichtstationäre Systeme zu analysieren sind. Auch verwischt der Zeitbezug für den Fall, daß diskretisierte, orthogonale Transformationen (z.B. FFT, DWT) zu wählen sind. Oft führen Zeitkonstantenprobleme zu eingeschränkten Ergebnissen. Zeitvorgänge können i.a. schlecht oder überhaupt nicht aufgelöst werden. Diskretisierungsfehler im Ansatz führen zu erheblichen Problemen in der Möglichkeit, Interferenzsysteme zu berechnen.

Gewachsene Prozessorleistungen rechtfertigen, die Fehlermöglichkeiten und Probleme orthogonaler Transformationen dadurch zu umgehen, daß der Umweg über spektrale Signaldarstellungen gemieden wird und Rechnungen sofort im Zeitbereich vorgenommen werden. Sie erscheinen zunächst rechenzeitintensiver. Unter Maßgabe unpräziser, numerischer Transformationen in den Bildraum und zurück relativiert sich der Vorteil schneller Rechenbarkeit der FFT aber sehr schnell.

Mit der in der Arbeitsgruppe entwickelten Interferenztransformation (HIT) [12] steht erstmals ein Hilfsmittel zur Verfügung, Erregungskartierungen aus Kanaldaten extrem nichtstationärer Quellen (Nervennetz; pulsierende, akustische Systeme) im Zeitbereich selbst zu analysieren (siehe auch Jahresbericht 1996, Abschnitt 4.6.2, Projekt PSI). Bei Anwendung einer im Zeitbereich arbeitenden HIT erhalten wir bei stark nichtstationären Vorgängen einen zusätzlichen Bonus hoher Bildqualitäten bei schon geringsten Kanalzahlen.

Dieser Vorteil wird durch relativ hohe Rechenzeiten erkauft. So dauert die Berechnung eines einzigen Interferenzintegrals mit 130 x 50 Pixeln und 16 Kanälen, 60 kSamples pro Kanal mit PSI-Tools derzeit etwa 10 Stunden.

Gegenstand des Projekts FAST ist es, die Ausführung der Interferenztransformation dadurch zu beschleunigen, daß ein spezifischer Coprozessor als PC-Slot entwickelt wird. Entsprechende Verhaltenssimulationen [2] mit Speedchart und VHDL sowie Experimente mit Parallelrechnern [6], [8] zeigen Möglichkeiten dafür auf. Insbesondere wenn es gelingt, die Abarbeitungspipeline so zu gestalten, daß mit jedem Maschinentakt ein vollständiger Elementarfaltungsschritt vollzogen wird, lassen sich enorme Geschwindigkeitssteigerungen erzielen. Eigene Schätzungen gehen von - je nach in die Zusatzhardware investierten Kosten - bis zu 6000-fach höherer Rechenleistung gegenüber Intel's Pentium aus.

## Darstellung der erzielten Ergebnisse

Im Kern besteht die HIT aus einer Transformation *Generatorraum\_zu\_Kanaldaten* und einer inversen Rücktransformation *Kanaldaten\_zu\_Detektorraum*. Der im Projekt FAST entwickelte Coprozessor dient nur der Rücktransformation. Ziel ist die Berechnung von Erregungskartierungen aus Kanaldaten der realen Welt.

Für die Rücktransformation der Zeitfunktion  $y$  eines Pixel aus Kanaldaten ist im Prinzip folgender Term zu berechnen, wobei  $z$  ein Kanalsample darstellt. Index  $k$  kennzeichnet die Pixelzuordnung, Index  $j$  stellt die Kanalnummer dar und  $m$  ist die Kanalzahl.

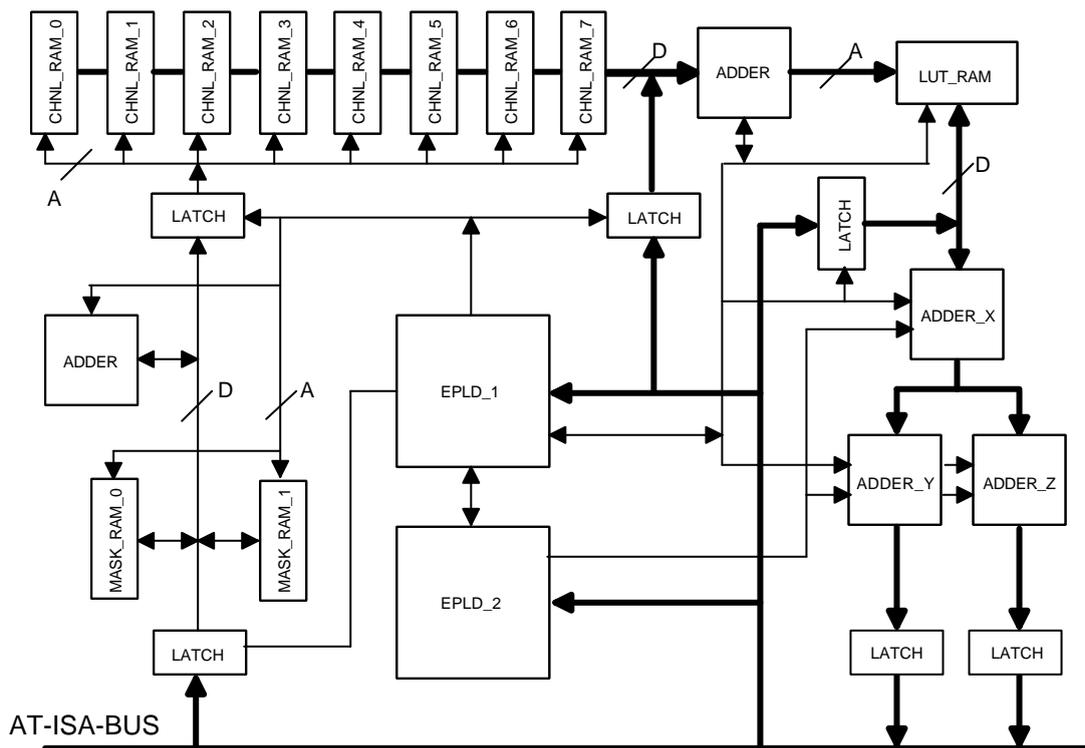
$$(1) \quad y_k(t) = \frac{1}{m} \sum_{j=1}^m z_j(t - \tau_j - \tau_{jk})$$

$y_k(t)$  stellt die (approximierte) Zeitfunktion des betrachteten Ortes dar. Die zu einem Punkt  $k$  gehörende Verzögerungsmaske ist mit allen  $m$  Werten gespeichert. Für die Ergebnisdarstellung als Helligkeits- oder Farbwert interessiert der Effektivwert  $h_k$  der Zeitfunktion  $y_k(t)$ :

$$(2) \quad h_k = \frac{1}{n} \sum_{i=1}^n \theta(|y_k(t)|)$$

Die Funktion  $\theta$  ist als 16 bit zu 16 bit look up table (LUT, 64k Worte SRAM) ausgeführt, um variable Schwellwertfunktionen implementieren zu können. Beide Operationen, Glg. (1) und (2), werden vom FAST-Coprozessor berechnet. Er besitzt folgende Parameter:

Typ	Format	Bemerkung
LUT	64k x 16 bit	Fuzzy-Zuordner INT{2} -> INT{2}
Channel Data	8M x 16 bit	8 Chls a 1M bis 256 Chls a 32k Samples
Mask RAM	256 x 16 bit, gespiegelt	Maximalmaske enthält 256 Kanaldelays
Pixel Register	22 bit	Ergebnis einer Kanalintegration



**Bild 2: Blockschaltung des im Projekt realisierten Coprozessors**

Eine Übersichtsschaltung ist in Bild 2 dargestellt. Schwerpunkt der Entwicklung stellen lange Kanalintegrationen dar. Entsprechend wurde das Design so optimiert, daß jeweils ein Maskensatz (max. 256 Masken) über einen großen Kanalspeicher verfügt. Der Kanalspeicher ist variabel teilbar in die Portionen von 1M Samples x 8 Kanäle bis 32 k x 256 Kanäle. In dieser prototypischen Version wird nur ein Adder für die Masken

benutzt, eine Adder-Pipeline kann nachgerüstet werden. Mit jedem Takt ist deshalb nur eine Kanaladdition ausführbar. Der Integrator arbeitet separat im Pipelining, kostet also keine zusätzliche Zeit. Bei einer bislang erreichten Taktfrequenz  $f_c$  von 25 MHz arbeitet der Prozessor im Moment etwa mit einer Maskenrate von  $f_c/4m$ , mit  $m$  als Kanalzahl. Gewisse Zeitverzögerungen entstehen durch das gelegentliche Nachladen eines neuen Maskensatzes und der Entsorgung des Ergebnisses für den berechneten Pixel.

Entsprechend benötigt oben benanntes Interferenzintegral auf dem Coprozessor etwa 16 Minuten statt 10 Stunden auf einem Pentium. Das Design läßt eine weitere Geschwindigkeitssteigerung um etwa einen Faktor 64 zu durch eine geringfügige Modifikation der Pipeline sowie durch Bestückung mit 15 Maskenaddierern, so daß bei Entwicklungsabschluß wenig mehr als 15 Sekunden Rechenzeit erreichbar sein werden.

### Nutzen für klein- und mittelständische Unternehmen, wirtschaftliche Bedeutung

Im internationalen Wettbewerb entscheidet heute auch die Lautstärke eines Geräts über die Realisierbarkeit von Großaufträgen. So ist auf verschiedenen Gebieten bekannt, daß Ausschreibungen drastisch reduzierte Geräuschpegel fordern. Es sind also Methoden gefordert, Schallemissionen zu reduzieren. Es muß heute als Exportvorteil gewertet werden, wenn entsprechende Limits unterschritten werden können, bzw. wenn Techniken zur Verfügung stehen, mit einigem Zeitvorteil Emissionen zu reduzieren. Aus Umweltsicht werden lärmvermeidende Verfahren in Zukunft Schlüsselentwicklungen sein.



**Bild 3: Blick auf den Versuchsaufbau als AT-Bus-Einschub. Der Prototyp erreicht mit einer 25 MHz Taktrate bislang eine Beschleunigung von etwa 150 gegenüber Softwarelösungen mit PC-Pentium**

International bestehen eine Reihe von Bemühungen, Schallemissionen von Geräten, Anlagen und Fahrzeugen zu reduzieren. Derzeit vorhandene Verfahren sind störepfindlich und teuer. Schalltote Räume werden vorausgesetzt. Ein Vergleich zwischen einer vorangegangenen Entwicklungslösung und einer neuen Lösung ist i.a. nicht möglich, wenn schalltote Räume nicht genutzt werden können, und wenn das

betreffende, umkonstruierte Teil nicht separat untersucht werden kann. Mit der angestrebten Lösung wird die Vergleichbarkeit von akustischen Analysen auch unter schwierigen Bedingungen gefördert. Da es für die Vermessung einer Baugruppe nicht mehr nötig ist, diese aus dem Gesamtsystem zu entfernen, ergeben sich völlig neue Einsatzmöglichkeiten. Erstmals steht ein Verfahren zur Verfügung, mit dem ortsselektiv gemessen werden kann, ohne daß Raumreflexionen oder Störquellen erheblichen Einfluß haben. Dementsprechend ergeben sich eine Reihe neuer Anwendungsmöglichkeiten.

Das Verfahren soll weiterentwickelt werden, sodaß es insbesondere im handwerklichen und klein- und mittelständischen Bereich einsetzbar wird. Derzeit existiert ein Versuchsmuster an der GFal, mit dessen Hilfe es möglich ist erste, akustische Bilder anzufertigen. Einsatzmöglichkeiten sind durch den hohen Preis noch begrenzt.

Im handwerklichen Bereich wird die Technik (einfach bedienbar) interessant, um z.B. TÜV-Untersuchungen an KFZ-Auspuffanlagen vornehmen zu können, oder um aus Motorchecks Defekte lokalisieren zu können. Derzeit sind nur visuelle Inspektionen möglich. In Deutschland existieren über 60.000 Meisterbetriebe des KFZ-Handwerks. Hier spielen Preis und einfachste Bedienbarkeit eine entscheidende Rolle.

Im Bereich von kmU sind insbesondere im Bereich des Maschinen- und Anlagenbaus Anwendungen gefragt. Neben Inspektionen an Großmaschinen sind in der Geräteentwicklung einfache Bewertungs- und Schallortungsverfahren gefordert. Eine wichtige Rolle spielt hierbei auch der Preis.

Bei Großunternehmen treffen wir auf das Problem, daß die Gesamtemission komplexer, großer Maschinen zu minimieren ist. Bei Briefverteilmaschinen z.B. sind in Anbetracht mehrerer hundert Rollen und mehrerer Bänder, sowie mehrerer Antriebsmotore, dutzender Schaltanker und pneumatischer Ventile zunächst Quellorte zu suchen. Man hatte jahrelang an den Emissionen schaltender Teile gearbeitet. Erste Versuchsmessungen (siehe auch Homepage) zeigen aber ein anderes Bild. Danach ist die (vom menschlichen Bewußtsein wahrgenommene) Emission nichtstationärer Art verschwindend gering im Vergleich zur Emission von stationären Antrieben und Lüftern. Unser neuronales System unterdrückt offenbar aktiv stationäre Geräusche in beträchtlichem Umfang, wir nehmen dies erst wahr, wenn die Geräusche verschwinden. Mit dem Verfahren gelingt es, Emissionen (stationäre und pulsförmige; starke und schwache) in Relation zueinander zu betrachten. Für viele Bereiche der Industrie ist es nicht maßgeblich, eine absolute Geräuschmenge zu kennen. Vielmehr erscheint es wesentlich, schnell zu wissen, woher maximale Emissionen kommen.

Im Bereich von F.u.E. spielen vergleichende Messungen eine entscheidende Rolle. Nehmen wir den Fall, eine neue, lärmoptimierte Maschine wurde gebaut. Nur mußte sie aus betriebswirtschaftlichen Gründen in einer anderen, kleineren Halle aufgestellt werden. Eine einfache Pegelmessung zeigt, daß das Gesamtgeräusch lauter geworden ist. Nur ein Akustiker kann in langwierigen Berechnungen feststellen, ob die Pegelerhöhung den Veränderungen an der Maschine oder der veränderten Raumakustik zuzuschreiben ist.

Im Service-Bereich können anhand eines Interferenzintegrals akustische Bilder von Maschinen einer Baureihe miteinander verglichen werden. Wenn diese Methode schon vor Auslieferung eines Geräts angewandt wird, können u.U. teure Garantieforderungen vermieden werden, Ausfälle werden anhand von veränderten Geräuschemissionen der Module zueinander vorzeitig erkennbar.

Im Umweltbereich sind Schall-Kartierungen von Fahrzeugen, von Fluggerät, auf Baustellen oder an genehmigungsbedürftigen Anlagen gefordert. Insbesondere in

Großstädten ist der Verkehrslärm mit derzeitigen Mitteln kaum überwachbar. Bislang spielen akustische Überprüfungen von Fahrzeugen keine Rolle, da Umweltemissionen bei bekannten Verfahren nicht vernachlässigbar sind, und in das Messergebnis eingehen. Mit der GFal-Methode könnten zukünftig auch in Verkehrskontrollen Schallbilder Auskunft über die Emission eines Fahrzeuges geben.

Flughafenanwohner sind besonders lärmbelastet. Zwar existieren genormte Meßmethoden. Diese sind aber offenbar zu kompliziert, um zu juristischen Handhabungen nutzbar zu sein. Mit dem zu entwickelnden Verfahren wird es möglich, die Lärmemission eines Flugzeugs zweifelsfrei photographisch festzuhalten. Das versetzt Flughäfen (vielleicht) in die Lage, mit den Start- und Landegebühren drastisch auf die Lärmemission der Maschinen einzuwirken.

Im Bereich des Arbeitsschutzes sind Fragestellungen bei der Untersuchung der Lärmkartierung an Maschinen und in Maschinenhallen interessant. Es wird mit einfachen Mitteln gezielt möglich, Maschinenlärm einzudämmen, wenn bekannt ist, woher er kommt.

Es erschließen sich neue Anwendungsgebiete, deren Nutznießer vorrangig klein- und mittelständische Unternehmen sind. Der Mittelstand hat heute kaum eine Chance, akustische Analysen bezahlen zu können. Konventionelle Methoden von Akustik-Ingenieurbüros sind nicht unumstritten, es sind Hersteller bekannt, die seit Jahren versuchen, mit Unterstützung durch Akustik-Büros Geräte leiser zu machen - mit bescheidenem Erfolg. Die dafür anfallenden Kosten sind enorm, wenn man bedenkt, daß Umkonstruktion, Entwicklung und Werkzeugbau eines einzigen Spritzwerkzeuges oft in Summe mehrere hunderttausend DM kostet.

## Marktfähigkeit

Die Verwertung der Innovation beginnt gerade. Derzeit sind aufgrund von Aufsätzen in der Berliner Zeitung und in der Frankfurter Allgemeinen Zeitung Meßaufträge verschiedener Firmen zu bearbeiten. Die Firmen wollen zumeist anhand ihrer eigenen Produkte prüfen, ob die Schallbildkamera zur Ortung von schallemitierenden Bauteilen besser geeignet ist, als herkömmliche Verfahren. Es ist anzunehmen, daß sich die Investition für mehrere hundert Maschinen-, Anlagen-, Fahrzeugbaufirmen etc. allein in Deutschland lohnt. Damit wird ein erhebliches, innovatives Folgepotential geschaffen.

Sollte die Innovation in technische Prüfverfahren einfließen, z.B. in KFZ-Prüfungen, so wäre ein Massenmarkt zu bedienen. Allein in Deutschland existieren 60.000 KFZ-Werkstätten. Wird der Umweltsektor und der Arbeitsschutzsektor hinzugerechnet, könnten einige Tausend zusätzlicher Geräte schon in Deutschland benötigt werden. Verlangt der Gesetzgeber eines Tages zwingend die Einführung dieses Meßverfahrens in standardisierten Verfahren, sind weitere Einsatzgebiete zu erschließen.

Die Bedeutung des Verfahrens liegt aber nicht allein in akustischen Anwendungen. Vielmehr ist vom Forscherteam ein theoretischer und praktischer Zugang ('interferenzielle Techniken') eröffnet worden, um vielerlei neue Technologien und Verfahren zu generieren. So haben wir für die Zukunft vor, mit interferenziellen Methoden neue, wesentlich leistungsstärkere Ultraschalltechniken zu entwickeln, oder gekoppelt mit hochkanaligen Ableitungen das Nervensystem zu beobachten und zu analysieren. Auch hier ist die Frage nach dem Herkunftsort von Erregungen relevant, auch hier ist gefordert, die Berechnung des Wellenraumes in kürzesten Zeiten zu vollziehen.

Im Projekt wurde praktisch das erste, robuste Verfahren entwickelt, das es gestattet, relative Lärmkartierungen industrieller Objekte (Motoren, Triebwerke, Maschinen, Geräte etc.) ohne schalltoten Raum und ohne Demontagen anzufertigen.

Derzeit sind Kontakte zu verschiedenen Maschinen- und Anlagenbauunternehmen und Motoren- und Turbinenherstellern entstanden. Relevanz hat das entwickelte Verfahren überall dort, wo schalltote Räume nicht genutzt werden können oder wo anhand der Ingenieurserfahrung nicht entscheidbar ist, durch welche Baugruppen, Gehäuseteile etc. große Lärmanteile verursacht werden.

## Bewertung der Ergebnisse anhand der Zielsetzungen des Antrages

Die Projektergebnisse wurden im wesentlichen erreicht, insbesondere wurde erstmals ein Prozessor entwickelt, mit dem die Interferenztransformation so stark beschleunigt werden kann, daß Movies bedingt echtzeitfähig gerechnet werden können. Mit Projektabschluss liegt ein funktionsfähiger Prototyp vor, der die Interferenztransformation derzeit um den Faktor 150 beschleunigt. Die im Antrag formulierte Zielsetzung einer Taktrate von 20ns (50MHz) konnte aufgrund nicht harmonisch passender Bauteile noch nicht erreicht werden, derzeit läuft der Prozessor erst mit halber Geschwindigkeit (25MHz). Auch konnte die prognostizierte Geschwindigkeitssteigerung noch nicht erreicht werden. Auf dem Markt zur Verfügung stehende Bauelemente sind im Detail meist nicht ganz paßfähig. Insbesondere behinderte eine bei wesentlichen Bauelementen (Adder) nicht erwartete Spezifik in der Busausbildung das Pipelining der Daten.

Ein im Antrag nicht erkanntes Problem stellte die Einpassung des Prozessors unter der Softwareoberfläche für die Interferenztransformation (PSI-Tools) dar. Wir mussten erkennen, daß eine universelle Einbindung des Faltungsprozessor einen neuen, universelleren Kernalgorithmus erfordert, dessen Aufwand bei etwa zwei Mannjahren liegt und damit den Projektrahmen wesentlich überfordert.

Da eine Markteinführung des Faltungsprozessor in frühestens in etwa zwei Jahren erfolgen soll, bleibt allerdings noch hinreichend viel Zeit, die geschilderten Probleme auszumerzen. Insbesondere wird gegenwärtig bereits an einer neuen Version der Interferenztransformation gearbeitet, bei der automatisch die zur Bedienung von Beschleunigern nötigen Parametrisierungen eingearbeitet werden.

## Schutzrechtsauskunft

Schutzrechtsanalysen ergaben, daß das im Projektrahmen entwickelte Verfahrensprinzip uneingeschränkt patentfähig ist. Da Patentgebühren progressiv steigen, werden Anmeldungen erst mit Produktionseinführung vorgenommen. Ein hinreichender know-how-Vorlauf rechtfertigt dieses Vorgehen.

## Zusammenstellung aller Veröffentlichungen

- [1] Zöllner, M., Busch, C., Heinz, G.: AT-Bus Coprozessor für Schnelle Interferenztransformation. Technische Dokumentation. GFaI Berlin, 1997, 60 S.
- [2] Rädisch, Jörg: Studie zu einem systolischen Faltungsprozessor für schnelle Interferenzfaltung. TFH Berlin/GFaI Berlin, 6.3.1995, 70 S.
- [3] Döbler, Dirk: Entwicklung einer Applikation und eines VxD-Treibers zur Ansteuerung einer Meßwerterfassungskarte unter Windows'95. FHS Stralsund/GFaI Berlin, 10/96-3/97, 90 S.
- [4] Dehm, Christoph: Entwicklung einer PC-Erweiterungskarte zur Ansteuerung von 256 AD-Wandlern. FHTW/GFaI Berlin, 3-7/96, 70 S.

- [5] Nguyen, Tan Than: Entwicklung eines Formatkonverters für PC-Meßverstärker mit CVI. 20.8.-30.9.1996. BEFAK/IHK/GFaI, 30 S.
- [6] Catalin, Radoj: Implementierung von Library-Funktionen zur parallelen Programmierung in Workstation-Clustern. Praktikum 6.3.95-14.7.95, FHTW/GFaI Berlin, Betreuung: V. Jossifov
- [7] Schulze, Peter: Entwicklung eines Programms zur Visualisierung und Manipulation elektrisch oder akustisch aufgenommener Kanaldaten. Praktikumsarbeit für die Prüfung zum mathematisch-technischen Informatiker, IHK/GFaI Berlin, 30.10.1995, 30 S.
- [8] Kieselberger, Sven: Entwicklung eines Faltungsmoduls für parallele Interferenzfaltung auf Parsytec PowerXplorer. Praktikumsbericht, HUB/GFaI Berlin, 30.9.1995, 65 S.
- [9] Werner, Olaf: Untersuchung der Echtzeitfähigkeiten des Signalprozessors TMS320C26 für Filter-, Interpolations-, Differentiations- und Integrationsanwendungen. Praktikumsarbeit TFH Berlin/GFaI, Mai 1995, 26 S.
- [10] Fischmann, Vadim: Programm für die dreidimensionale Darstellung zweidimensional vorliegender Amplitudenverteilungen. Praktikumsarbeit BEFAK/GFaI, Mai 1995, 37 S.
- [11] Fritsch, Michael: Untersuchung und Entwicklung eines rauscharmen und programmierbaren Meßverstärkers für neurographische Aufnahmen. Diplomarbeit, FHTW Berlin FB3/GFaI, 27.9.1994., 62 S.
- [12] Heinz, G., Höfs, S., Busch, C., Zöllner, M.: Time Pattern, Data Addressing, Coding, Projections and Topographic Maps between Multiple Connected Neural Fields - a Physical Approach to Neural Superimposition and Interference. Proceedings BioNet'96, GFaI-Berlin, 1997, pp. 45-57, ISBN 3-00-001107-2
- [13] Ochel, M.: Bilder aus der Welt des Schalls. Berliner Zeitung Nummer 127, Mittwoch, 4.6.1997, Seite VI
- [14] Bäsecke, J.: Akustische Kamera entwickelt. Frankfurter Allgemeine Zeitung vom 27.6.1997
- [15] Bäsecke, J.: Eine Kamera sieht Krach. GEO-Journal, Heft 9/1997, S. 47-48

## Zusammenfassung

Insbesondere für akustische Anwendungen mit der 'Akustischen Kamera' [13], [14], [15] wurde im Projekt ein Hardwarebeschleuniger für die H-Interferenztransformation entwickelt. Damit wird eine Reduktion der hohen Rechenzeiten für Interferenzbilder möglich. Das Verfahren stellt eine Schlüsselentwicklung zum Einstieg in eine neue Technologie der Interferenztransformation von Laufzeiträumen in Echtzeit dar. Um eine einfache Einführung in vielfältige Anwendungen zu stimulieren, wurde auf die Entwicklung des Faltungsprozessors als Einschubkarte für IBM-PC's orientiert. Sämtliche Details zur im Projekt erarbeiteten Lösung sind in [1] festgehalten.

Es gelang, eine prototypische Lösung zu schaffen, mit der die Berechnung von Interferenzbildern aus Kanaldaten gegenwärtig bereits um den Faktor 150 verglichen zum Pentium gesteigert werden kann. Layoutoptimierungen und zusätzliche Bestückung der Adderpipeline für die Maskensummutation kann um bis zu 6000-fachen Rechenzeitgewinn erbringen. Im Projektrahmen unterschätzt wurden die enorm komplexen Software-Anforderungen zur Bedienung des Prozessors. Für eine effiziente Nutzung ist über den Projektrahmen hinausgehend ein neuer Kern der Interferenztransformation zu schreiben. Eine Markteinführung ist in etwa zwei Jahren vorgesehen, bis dahin sind verbliebene Probleme gelöst. Eine Recherche ergab Patentfähigkeit der Lösung in jeder Richtung. Anmeldungen erfolgen erst, wenn die entwickelte Lösung in einen neuen Kern der Interferenztransformation eingebunden werden kann.

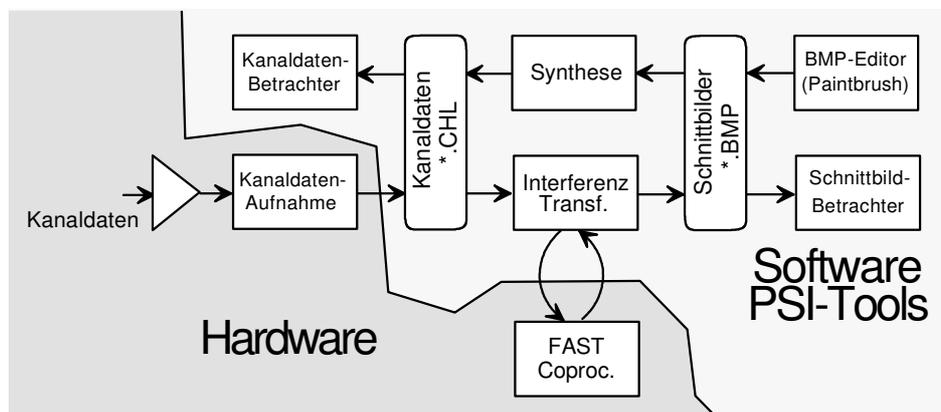
G. Heinz  
Projektleiter

# AT-BUS-COPROZESSOR FÜR SCHNELLE INTERFERENZTRANSFORMATION (FAST)<sup>1)</sup>

Mark Zöllner, Gerd K. Heinz, Carsten Busch

Im Projekt wurde ein systolisch arbeitender Hardwarebeschleuniger für die an der GFal entwickelte Interferenztransformation entwickelt. Mit dem Prozessor wird eine Beschleunigung der Interferenztransformation um den Faktor 2000 gegenüber einem Intel-Pentium angestrebt.

Herkömmliche Verfahren zur Erregungskartierung z.B. im Bereich der Akustik nutzen die Möglichkeit einer Signalzerlegung in spektrale Darstellungen (Spatial Transformation of Sound Fields -STSF, Time Domain Holography-TDH etc.) oder in Wavelets zur Berechnung von Faltungen oder für Operationen mit Zeitfunktionen. Dieser Weg ist dort problematisch, wo nichtstationäre Systeme zu analysieren sind. Auch verwischt der Zeitbezug für den (ausschließlichen) Fall, daß diskretisierte Transformationen (z.B. FFT, FFT<sup>-1</sup>) zu wählen sind. Oft führen Zeitkonstantenprobleme zu eingeschränkten Ergebnissen. Zeitvorgänge können i.a. schlecht oder überhaupt nicht aufgelöst werden. Diskretisierungsfehler führen zu erheblichen Problemen in der Möglichkeit, Interferenzsysteme zu berechnen.



**Bild 1: Einordnung des FAST-Coprozessors für schnelle Interferenztransformation**

Gewachsene Prozessorleistungen rechtfertigen, die Fehlermöglichkeiten und Probleme orthogonaler Transformationen dadurch zu umgehen, daß der Umweg über spektrale Signaldarstellungen gemieden wird und Rechnungen sofort im Zeitbereich vorgenommen werden. Rechnungen in Zeitbereich scheinen rechenzeitintensiver, wenn z.B. gilt

<sup>1)</sup> Mit Förderung durch das Bundesministerium für Wirtschaft (Förderkennzeichen 569/96), Projektträger: GEWIPLAN, Projektlaufzeit: 01.05.1996 - 31.03.1997

$$(1) \quad L\{y_1(t) * y_2(t)\} = L\{y_1(t)\} \cdot L\{y_2(t)\}$$

Der Operator \* möge die Faltung zweier Zeitfunktionen kennzeichnen, der Operator  $\cdot$  sei die gewöhnliche Multiplikation der Transformaten. Unter Maßgabe präziser, numerischer Transformationen in den Bildraum und zurück relativiert sich der Vorteil schneller Rechenbarkeit sehr schnell.

Mit der in der Arbeitsgruppe entwickelten Interferenztransformation (HIT) [15] steht erstmals ein Hilfsmittel zur Verfügung, Erregungskartierungen aus Kanaldaten extrem nichtstationärer Quellen (Nervennetz; pulsierende, akustische Systeme) im Zeitbereich selbst zu analysieren (siehe auch Jahresbericht Projekt PSI). Bei Anwendung einer im Zeitbereich arbeitenden HIT erhalten wir bei stark nichtstationären Vorgängen einen zusätzlichen Bonus extrem hoher Bildqualitäten bei geringsten Kanalzahlen - eine Phänomen, das der mathematischen Grundlagenforschung bislang entgangen zu sein scheint.

Dieser Vorteil wird durch relativ lange Rechenzeiten erkaufte. So dauert die Berechnung eines einzigen Interferenzintegrals mit 130 x 50 Pixeln und 16 Kanälen, 60 kSamples pro Kanal mit PSI-Tools derzeit etwa 10 Stunden.

Gegenstand des Projekts FAST ist es, die Ausführung der Interferenztransformation dadurch zu beschleunigen, daß ein spezifischer Coprozessor als PC-Slot entwickelt wird. Entsprechende Verhaltenssimulationen [2] mit Speedchart und VHDL zeigten Möglichkeiten dafür auf. Insbesondere wenn es gelingt, die Abarbeitungspipeline so zu gestalten, daß mit jedem Maschinentakt eine vollständiger Elementarfaltungsschritt vollzogen wird, lassen sich enorme Geschwindigkeitssteigerungen erzielen. Schätzungen gehen - je nach in die Zusatzhardware investierten Kosten - bis zu 6000-fach höherer Rechenleistung gegenüber Intel's Pentium aus.

## Lösung

Im Kern besteht die HIT aus einer Transformationsgleichung *Generatorraum\_zu\_Kanaldaten* und einer inversen Rücktransformation *Kanaldaten\_zu\_Detektorraum*. Der im Projekt FAST entwickelte Coprozessor dient nur der Rücktransformation. Ziel ist die Berechnung von Erregungskartierungen aus Kanaldaten der realen Welt.

Für die Rücktransformation der Zeitfunktion  $y$  eines Pixel aus Kanaldaten ist im Prinzip folgender Term zu berechnen, wobei  $z$  ein Kanalsample darstellt. Index  $k$  kennzeichnet die Pixelzuordnung, Index  $j$  stellt die Kanalnummer dar und  $m$  ist die Kanalzahl.

$$(2) \quad y_k(t) = \frac{1}{m} \sum_{j=1}^m z_j(t - \tau_j - \tau_{jk})$$

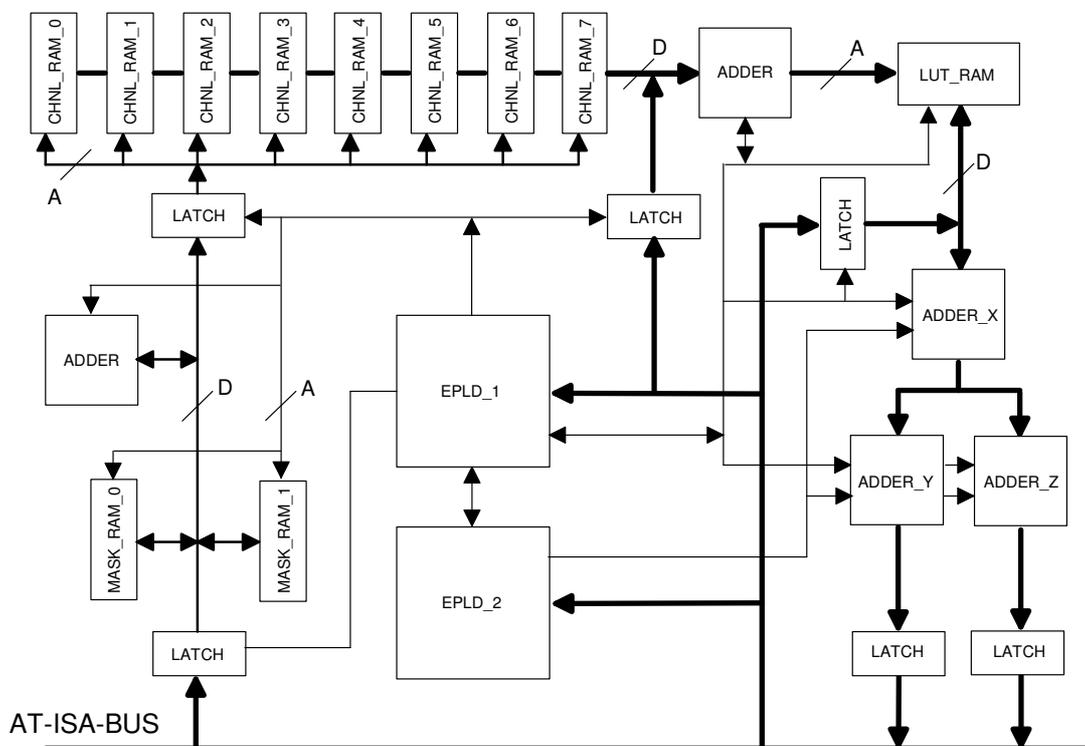
$y_k(t)$  stellt die (approximierte) Zeitfunktion des betrachteten Ortes dar. Die zu einem Punkt  $k$  gehörende Verzögerungsmaske ist mit allen  $m$  Werten gespeichert. Für die Ergebnisdarstellung als Helligkeits- oder Farbwert interessiert der Effektivwert  $h_k$  der Zeitfunktion  $y_k(t)$ :

$$(3) \quad h_k = \frac{1}{n} \sum_{i=1}^n \theta(|y_k(t)|)$$

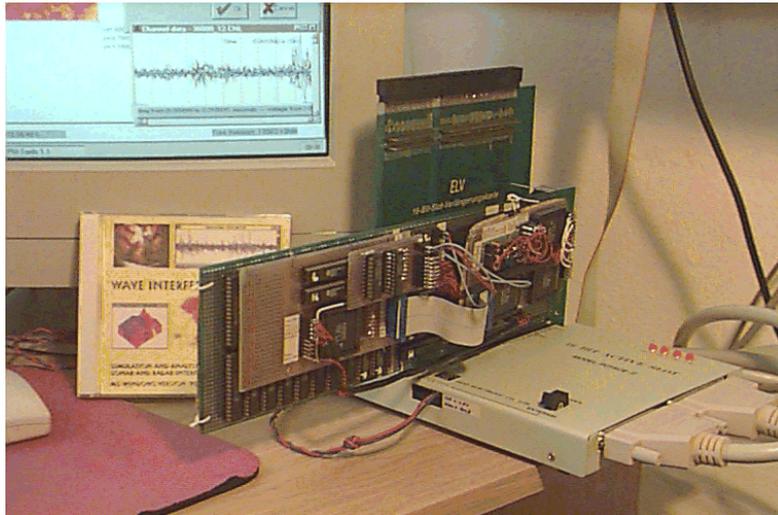
Die Funktion  $\theta$  ist als 16 bit zu 16 bit look up table (LUT, 64k Worte SRAM) ausgeführt, um variable Schwellwertfunktionen implementieren zu können. Beide Operationen, Glg. (2) und (3), werden vom FAST-Coprozessor berechnet. Er besitzt folgende Parameter:

Typ	Format	Bemerkung
LUT	64k x 16 bit	Fuzzy-Zuordner INT{2} -> INT{2}
Channel Data	8M x 16 bit	8 Chls a 1M bis 256 Chls a 32k Samples
Mask RAM	256 x 16 bit, gespiegelt	Maximalmaske enthält 256 Kanaldelays
Pixel Register	22 bit	Ergebnis einer Kanalintegration

Eine Übersichtsschaltung ist in Bild 2 dargestellt. Schwerpunkt der Entwicklung stellen lange Kanalintegrationen dar. Entsprechend wurde das Design so optimiert, daß jeweils ein Maskensatz (max. 256 Masken) über einen großen Kanalspeicher verfügt. Der Kanalspeicher ist variabel teilbar in die Portionen von 1M Samples x 8 Kanäle bis 32k x 256 Kanäle. In dieser prototypischen Version wird nur ein Adder für die Masken benutzt, eine Adder-Pipeline kann nachgerüstet werden. Mit jedem Takt ist deshalb nur eine Kanaladdition ausführbar. Der Integrator arbeitet separat im Pipelining, kostet also keine zusätzlich Zeit. Bei einer bislang erreichten Taktfrequenz  $f_c$  von 25 MHz arbeitet der Prozessor im Moment etwa mit einer Maskenrate von  $f_c/4m$ , mit  $m$  als Kanalzahl. Gewisse Zeitverzögerungen entstehen durch das gelegentliche Nachladen eines neuen Maskensatzes und der Entsorgung des Ergebnisses für den berechneten Pixel. Entsprechend benötigt oben benanntes Interferenzintegral auf dem Coprocessor etwa 16 Minuten statt 10 Stunden auf einem Pentium. Das Design läßt eine weitere Geschwindigkeitssteigerung um etwa einen Faktor 64 zu durch eine geringfügige Modifikation der Pipeline sowie durch Bestückung mit 15 Maskenaddierern, sodaß bei Entwicklungsabschluß wenig mehr als 15 Sekunden Rechenzeit erreichbar sein werden.



**Bild 2: Blockschaltung des im Projekt realisierten Coprocessors**



**Bild 3: Blick auf den Versuchsaufbau als AT-Bus-Einschub. Der Prototyp erreicht bislang eine Beschleunigung etwa von 150 gegenüber einem Pentium mit einer 25 MHz Taktrate**

### **Zusammenfassung**

Im Projekt wurde ein Hardwarebeschleuniger für die H-Interferenztransformation entwickelt. Damit wird eine Reduktion der hohen Rechenzeiten für Interferenzbilder möglich. Das Verfahren stellt eine Schlüsselentwicklung zum Einstieg in eine neue Technologie der Interferenztransformation von Laufzeiträumen in Echtzeit dar. Um eine einfache Einführung in vielfältige Anwendungen zu stimulieren, wurde auf die Entwicklung des Faltungsprozors als Einschubkarte für IBM-PC's orientiert.

Es gelang, eine prototypische Lösung zu schaffen, mit der die Berechnung von Interferenzbildern aus Kanaldaten gegenwärtig bereits um den Faktor 150 verglichen zum Pentium gesteigert werden kann. Layoutoptimierungen und zusätzliche Bestückung der Adderpipeline für die Maskensummutation kann um bis zu 6000-fachen Rechenzeitgewinn erbringen. Die Entwicklung wird erst im Jahr 1997 abgeschlossen, so daß von potentiellen Anwendern noch Geduld verlangt werden muß.

## Im Projektrahmen entstandene Arbeiten

- [1] Zöllner, M., Busch, C., Heinz, G.: AT-Bus Coprozessor für Schnelle Interferenztransformation. Technische Dokumentation. GFaI Berlin, 1997, 60 S.
- [2] Rädisch, Jörg: Studie zu einem systolischen Faltungsprozessor für schnelle Interferenzfaltung. TFH Berlin/GFaI Berlin, Betreuer: G. Heinz, 6.3.1995, 70 S.
- [3] Döbler, Dirk: Entwicklung einer Applikation und eines VxD-Treibers zur Ansteuerung einer Meßwerterfassungskarte unter Windows'95. FHS Stralsund/GFaI Berlin, 10/96-3/97, 90 S.
- [4] Dehm, Christoph: Entwicklung einer PC-Erweiterungskarte zur Ansteuerung von 256 AD-Wandlern. FHTW/GFaI Berlin, 3-7/96, 70 S.
- [5] Nguyen, Tan Than: Entwicklung eines Formatkonverters für PC-Meßverstärker mit CVI. 20.8.-30.9.1996. BEFAK/IHK/GFaI, 30 S.
- [6] Wittmann, Ralph: Internet-Studie Virtuelles Warenhaus. Praktikum 20.8.-30.9.1996. BEFAK/IHK/GFaI, 110 S.
- [7] Schmidt, Soulath: Gestaltung einer Internet-Presentation mit C und Java. Praktikum 9.4.96-28.6.1996. BEFAK/IHK/GFaI, 60 S.
- [8] Catalin, Radoj: Implementierung von Library-Funktionen zur parallelen Programmierung in Workstation-Clustern. Praktikum 6.3.95-14.7.95, FHTW/GFaI Berlin, Betreuung: V. Jossifov
- [9] Schulze, Peter: Entwicklung eines Programms zur Visualisierung und Manipulation elektrisch oder akustisch aufgenommener Kanaldaten. Praktikumsarbeit für die Prüfung zum mathematisch-technischen Informatiker, IHK/GFaI Berlin, 30.10.1995, 30 S.
- [10] Kieselberger, Sven: Entwicklung eines Faltungsmoduls für parallele Interferenzfaltung auf Parsytec PowerXplorer. Praktikumsbericht, HUB/GFaI Berlin, 30.9.1995, 65 S.
- [11] Rädisch, Jörg: Studie zu einem systolischen Prozessor für schnelle Interferenzfaltung. TFH Berlin/GFaI Berlin, 6.3.1995, 70 S.
- [12] Werner, Olaf: Untersuchung der Echtzeitfähigkeiten des Signalprozessors TMS320C26 für Filter-, Interpolations-, Differentiations- und Integrationsanwendungen. Praktikumsarbeit TFH Berlin/GFaI, Mai 1995, 26 S.
- [13] Fischmann, Vadim: Programm für die dreidimensionale Darstellung zweidimensional vorliegender Amplitudenverteilungen. Praktikumsarbeit BEFAK/GFaI, Mai 1995, 37 S.
- [14] Fritsch, Michael: Untersuchung und Entwicklung eines rauscharmen und programmierbaren Meßverstärkers für neurographische Aufnahmen. Diplomarbeit, FHTW Berlin FB3/GFaI, 27.9.1994., 62 S.
- [15] Heinz, G., Höfs, S., Busch, C., Zöllner, M.: Time Pattern, Data Addressing, Coding, Projections and Topographic Maps between Multiple Connected Neural Fields - a Physical Approach to Neural Superimposition and Interference. Proceedings BioNet'96, GFaI-Berlin, 1997, pp. 45-57, ISBN 3-00-001107-2
- [16] Internet-Homepage (~20MB) siehe [http://www.gfai.fta-berlin.de/www\\_open/perspg/heinz.htm](http://www.gfai.fta-berlin.de/www_open/perspg/heinz.htm)
- [17] Heinz, G., Höfs, S., Koepf, I.: Parallel Interference Transformation to Simulate Nervous Activity. PowerX'plorer User Report, 2nd Edition, June 1995, Jan Knop, Ingo Schreiber, Heinrich-Heine-Universität Düsseldorf, June 1995, S. 131-136
- [18] Heinz, G.: Relativität elektrischer Impulsausbreitung als Schlüssel zur Informatik biologischer Systeme. 39. Internationales Wissenschaftliches Kolloquium an der TU Ilmenau 27.-30.9.1994, Abgedruckt in Band 2, S. 238-245, bzw. unter [2]
- [19] Heinz, G.: Modelling Inherent Communication Principles of Biological Pulse Networks. Systems- Analysis-Modelling-Simulation (SAMS), Gordon & Breach Science Publ., SAMS 1994, Vol.15, pp.151-158
- [20] Heinz, G.: Neuronale Interferenzen oder Impulsinterferenzen in elektrischen Netzwerken. Autor gleich Herausgeber. GFaI Berlin, Dez. 1994, 300 S.